



**Métodos de extracción de parámetros de un circuito equivalente
de pequeña señal para transistores *LDMOS* de potencia para
aplicaciones de RF.**

Memòria del Projecte Fi de Carrera
d'Enginyeria en Electrònica
realitzat per
Manuel Chincolla Sánchez
i dirigit per
David Flores Gual
Bellaterra, Juny de 2007



El sotasignat, David Flores Gual

Professor/a de l'Escola Tècnica Superior d'Enginyeria de la UAB,

CERTIFICA:

Que el treball a què correspon aquesta memòria ha estat realitzat sota la seva direcció per en

Manuel Chincolla Sánchez

I per tal que consti firma la present.

Signat: David Flores Gual
Bellaterra, 15 de Juny de 2007

Resumen

En la actualidad, la gran cantidad de aplicaciones que surgen dentro del ámbito de la radiofrecuencia hacen que el desarrollo de dispositivos dentro de este campo sea constante. Estos dispositivos cada vez requieren mayor potencia para frecuencias de trabajo elevadas, lo que sugiere abrir vías de investigación sobre dispositivos de potencia que ofrezcan los resultados deseados para altas frecuencias de operación (GHz).

Dentro de este ámbito, el objetivo principal de este proyecto es el de realizar un estudio sobre este tipo de dispositivos, siendo el transistor *LDMOS* el candidato elegido para tal efecto, debido a su buen comportamiento en frecuencia para tensiones elevadas de funcionamiento.

Resum

Actualment, la gran quantitat d'aplicacions que apareixen dins l'àmbit de la radiofreqüència fan que el desenvolupament de dispositius dins d'aquest camp sigui constant. Aquests dispositius cada vegada treballen a una potència més elevada amb altes freqüències d'operació, el que ens suggereix obrir branques de investigació sobre dispositius de potència que siguin capaços d'oferir els resultats desitjats per freqüències de treball elevades (GHz).

En aquest entorn, l'objectiu principal d'aquest projecte serà el de realitzar un estudi sobre aquest tipus de dispositius, essent el transistor *LDMOS* el candidat elegit, degut al seu bon comportament en freqüència a tensions elevades de funcionament.

Abstract

At the present time, the great amount of applications that arise within the scope of the radio frequency does that the development of devices within this field is constant. These devices every time require greater power for elevated frequencies of work, which suggests to open investigation routes on power devices which they offer the results wished for high frequencies of operation (GHz).

Within this scope, the primary target of this project is the one to make a study on this type of devices, being transistor *LDMOS* the candidate chosen for such effect, due to its good behaviour in frequency for elevated tensions of operation.

Agradecimientos

- En primer lugar, dar las gracias a Ignasi Cortés por la cantidad de horas dedicadas al desarrollo de este proyecto y sin las cuales no se habría podido llevar a cabo y a David Flores, por ser el inspirador de este proyecto y el guía de futuras investigaciones que nacen de este trabajo. Muchísimas gracias David y Nacho.
- A todos y cada uno de los compañeros y compañeras que han estado a mi lado en esta larga andadura universitaria. Sabéis que sobran las palabras...
- Al Centro Nacional de Microelectrónica (CNM – ICMAB), por las horas que me ha acogido como inquilino y a la Universitat Politècnica de Catalunya (UPC) por su disponibilidad incondicional durante el desarrollo de este proyecto.
- A mis compañeros de trabajo Guillermo y Toni, por haberme permitido un estado de autismo en horario laboral, lo que sin duda también ha sido necesario. Gracias a los 2.

A todas y cada una de las personas que siempre han confiado en mi. Gracias de todo corazón.

A mi padre.
Le habría hecho muchísima ilusión ver como acaba esto y todo lo que vendrá después.

Índice

Capítulo 1.....	5
Estado del arte	5
1.1 Breve historia de los transistores RF	5
1.2 Transistores de potencia para aplicaciones de estaciones base.....	7
1.3 El transistor MOSFET de RF y sus diferentes arquitecturas	11
1.3.1 El transistor LDMOS.....	12
1.3.1.1 El transistor LDMOS versus el transistor MOSFET.....	12
1.4 Mercado de los transistores LDMOS de RF	15
1.5 Tecnologías empleadas en el diseño de dispositivos LDMOS de potencia.....	17
1.5.1 Tecnología bulk	17
1.5.2 Tecnología SOI.....	17
1.5.3 Tecnología SOS	18
1.6 Objetivos del proyecto.....	18
1.7 Organización y estructura de la memoria.....	19
1.8 Referencias	20
 Capítulo 2.....	 21
Estudio de las capacidades parásitas de un LDMOS de RF	21
2.1 La capacidad MOS.....	21
2.1.1 Modos de operación de un MOS	23
2.1.2 Definición de las capacidades de un MOS en pequeña señal	24
2.1.3 Característica C-V en acumulación	27
2.1.3.1 Característica C-V en vaciamiento	27
2.1.3.2 Característica C-V en inversión.....	28
2.1.3.3 Simulaciones en pequeña señal de una capacidad MOS	29
2.1.3.4 Simulación del 'Fringing effect' en una capacidad MOS.....	31
2.2 Capacidades de un transistor MOSFET	32
2.2.1 Característica C-V de un transistor MOSFET.....	33
2.2.2 Variación de C_{gs} versus y_j en las difusiones N^+	35
2.2.3 Variación de C_{gs} versus L_{poly}	36
2.3 Capacidades de un transistor LDMOS	37
2.3.1 Característica C-V de un transistor LDMOS.....	37
2.3.2 Capacidades intrínsecas del transistor LDMOS.....	40
2.3.3 Capacidades extrínsecas del transistor LDMOS.....	42
2.3.4 Capacidades de RF.....	42
2.3.4.1 La capacidad de entrada o CISS.....	43
2.3.4.2 La capacidad de feedback o Crss.....	44
2.3.4.3 La capacidad de salida o Coss.....	45
2.4 Referencias	46

Capítulo 3.....	49
Métodos de extracción de elementos extrínsecos.....	49
3.1 Introducción	49
3.2 Descripción de las componentes circuitales	50
3.3 Método para la obtención de los parámetros de acceso (Y_a)	51
3.4 Métodos para la obtención de las impedancias asociadas a los pads (Z_σ).....	54
3.4.1 Modelo físico del LDMOS	54
3.4.2 Modelo en línea distribuida uniforme de canal FET	55
3.5 Referencias	58
Capítulo 4.....	61
Extracción de parámetros de un modelo circuital de pequeña señal	61
4.1 Modelado del transistor LDMOS.....	61
4.1.1 Circuito equivalente preliminar	62
4.1.2 Modelo quasi-static.....	63
4.1.3 Modelo non-quasi-static	64
4.1.3.1 Componente R_{drift}	65
4.1.4 Capacidades extrínsecas	65
4.1.5 Contribución de los pads.....	69
4.1.6 Parámetros de acceso.....	69
4.2 Procedimiento de extracción del modelo en pequeña señal	70
4.2.1 Extracción de los parámetros de acceso (C_{ija}).....	70
4.2.2 Impedancias de los pads (L_{xe} , R_{xe}).....	72
4.2.3 Componentes intrínsecos.....	73
4.3 Referencias	75
Capítulo 5.....	77
Resultados de simulación y medida directa sobre el LDMOS.....	77
5.1 Introducción	77
5.2 Resultados de simulación del transistor LDMOS	78
5.2.1 Resultados de las impedancias extrínsecas (matriz Z_σ)	79
5.2.2 Resultados de las capacidades extrínsecas (matriz Y_π).....	80
5.2.3 Resultados de los parámetros intrínsecos (matriz Y_{int})	80
5.3 Resultados de medida directa sobre el transistor LDMOS.....	85
5.3.1 Resultados de los parámetros de acceso (matriz Y_a).....	88
5.3.2 Resultados de las impedancias extrínsecas (matriz Z_σ)	88
5.3.3 Resultados de las capacidades extrínsecas (matriz Y_π).....	89
5.3.4 Resultados de los parámetros intrínsecos (matriz Y_{int})	89
Capítulo 6.....	93
Conclusiones.....	93

Apéndice A.....	95
Método nodal para la extracción de las componentes circuitales.....	95
A.1 Introducción	95
A.2 Extracción de los parámetros de acceso (Y_a).....	96
A.3 Extracción de las impedancias de los pads (Z_σ)	99
A.4 Extracción de los parámetros intrínsecos (Y_{int})	101
A.5 Referencias	104
 Apéndice B.....	 105
Calibración y medidas sobre oblea de RF	105
B.1 Introducción	105
B.2 Descripción de las sondas de RF	106
B.3 Configuración de las puntas CPW.....	108
B.4 Parásitos asociados con los pads y pistas de interconexión.....	110
B.5 De-embedding de los parásitos de acceso	111
B.6 Reglas para el diseño de los layouts	113
B.7 Referencias	115
 Apéndice C.....	 117
Archivos MATLAB.....	117
C.1 Introducción	117
C.2 Archivos para la extracción de las capacidades extrínsecas.....	117
C.2.1 Función Capext	117
C.2.2 Cálculo de C_{ij} sin metales.....	118
C.2.3 Cálculo de C_{ij} con metales.....	119
C.3 Archivos para la extracción de los elementos de acceso.....	121
C.4 Archivos para la extracción de las impedancias extrínsecas	122
C.5 Archivos para la extracción de los componentes intrínsecos	125
C.6 Referencias	127
 Apéndice D.....	 129
Planificación temporal.....	129
D.1 Planificación MS Project	129

Capítulo 1

Estado del arte

1.1 Breve historia de los transistores RF

Los transistores bipolares (*BJT*) fueron los primeros transistores empleados en aplicaciones que requerían altas frecuencias de operación. En 1958 los *BJT* se fabricaban en substratos de Germanio y eran capaces de conmutar a frecuencias superiores a 1 GHz. A pesar de que el Germanio permite movilidades más elevadas y es menos reactivo que el Silicio, su banda prohibida (*Band Gap*) es más estrecha que el Silicio, tal como se aprecia en la Tabla 1-1, dando lugar a un incremento excesivo de la corriente de fugas a altas temperaturas de funcionamiento del amplificador. Estas limitaciones fueron un severo contratiempo para los fabricantes de aparatos de radio y, sobretudo, de instrumentación para uso militar que necesitaban componentes fiables y estables en condiciones extremas. A partir de 1963, los transistores *BJT* en Silicio comenzaron a ser competitivos, copando ya todo el mercado de transistores de RF en la década de los 70.

Elemento	Constante Dieléctrica	Movilidad de campo bajo ¹ , μ [cm ² /V-s]	Banda prohibida [eV]	Resistividad [Ω -cm]	Temperatura de fusión [°C]	Conducción térmica [W/°C-cm]
Si	11.9	1500	1.12	$10^3 - 10^5$	1415	1.45
Ge	16	3900	0.66	47	937	0.6
GaAs	13.1	8500	1.42	$10^7 - 10^9$	1238	0.46
Zafiro (Al ₂ O ₃)				$> 10^{14}$		0.46

Tabla 1-1 Propiedades de algunos materiales semiconductores y aislantes a 300K.

A pesar que el Silicio sigue siendo el semiconductor más empleado en aplicaciones de RF, el Arseniuro de Galio (GaAs) presenta unos valores de movilidad de electrones y de velocidad de saturación muy superiores a los obtenidos en Silicio. Esto hace que el GaAs sea un excelente candidato para sistemas de RF por su mejor rendimiento en frecuencia, con frecuencias máximas de funcionamiento (f_{max}) récord de hasta 30 GHz medidas en un *MESFET* de GaAs en 1970, superando con creces las f_{max} obtenidas por los *BJT* de Silicio. Sin embargo, para campos eléctricos elevados, la velocidad de saturación del GaAs decrece y se hace comparable a la obtenida en Silicio.

A principios de los 80 emergieron otras estructuras conocidas como heteroestructuras gracias al progreso de las técnicas de crecimiento epitaxial. Una heteroestructura es una combinación de al menos dos capas de diferentes materiales semiconductores con distinta banda prohibida crecidas consecutivamente en reactores epitaxiales.

¹ Datos extraídos para un material de tipo N, con dopaje $N_D = 10^{17} \text{ cm}^{-3}$.

Heteroestructuras de AlGaAs/GaAs (*HEMT*) y de AlGaAs/InGaAs (*pHEMT*) mejoran considerablemente la movilidad y por lo tanto alcanzan valores de f_T muy elevados.

Los principales inconvenientes de las heteroestructuras son su coste de fabricación elevado y su polarización negativa. Otros transistores de RF basados en heterounión son los *HBT* (*Heterojunction Bipolar Transistor*) que mejoran ostensiblemente las prestaciones en frecuencia de los transistores bipolares en Silicio. Los primeros *HBT* fabricados en GaAs tenían una resistencia térmica muy elevada (Tabla 1-2) de modo que no eran muy apropiados como dispositivos de potencia. La evolución de los *HBT* a otras tecnologías tales como SiGe permitió conseguir unos dispositivos más estables para un amplio rango de temperaturas. Otro factor clave del éxito de estas estructuras es su total compatibilidad con los procesos *CMOS*.

A partir de la década de los 90, semiconductores de *gap* ancho como el Carburo de Silicio (SiC) o el Nitruro de Galio (GaN) irrumpieron con fuerza en el sector de los dispositivos de RF debido a sus valores elevados de campo eléctrico crítico de ruptura y de velocidad de saturación de electrones (tabla 1-2), así como una constante dieléctrica, mucho más baja que en Si o GaAs. Además, el SiC muestra una excelente conducción térmica que lo convierte en un semiconductor idóneo para aplicaciones de alta temperatura ($T > 150\text{ K}$) en las que el Silicio no puede operar.

Elemento	Constante Dieléctrica	Movilidad de campo bajo ² , μ [cm ² /V-s]	Banda prohibida [eV]	Campo eléctrico crítico [MV/cm]	Velocidad de pico/saturación [10 ⁷ cm/s]	Conducción térmica [W/°C-cm]
Si	11.9	800	1.12	5.7	1/1	1.45
GaAs	13.1	4700	1.42	6.4	2/0.8	0.46
4H-SiC	9.7	610	3.2	33	2/2	4.9
GaN	8.5	680	3.4	40	2.7/1.5-2	1.7

Tabla 1-2 Propiedades de los materiales Si, GaAs, SiC y GaN a 300K [1].

La continua miniaturización de los transistores *MOSFET* permitió disminuir considerablemente sus capacidades parásitas de modo que en 1996 se consiguieron medir $f_T = 100\text{ GHz}$ en transistores con longitudes de canal inferiores a $1\text{ }\mu\text{m}$, junto con la posibilidad de integrar circuitos analógicos y digitales en un mismo chip de Silicio. Las propiedades del Silicio son muy apropiadas para sistemas de RF integrados, debido a que su constante dieléctrica es alta y sufre escasas derivas a cambios de frecuencia y temperatura. Además, su conductividad térmica es tres veces superior a la del GaAs, tiene baja rugosidad en superficie, y sobretodo se trata de una tecnología madura preparada para la necesidad imperante de integrar todos los componentes en un solo chip [2]. La fuerte expansión de las telecomunicaciones surgida en la década de los 90 originó una fuerte demanda de transistores para sistemas RF. Teniendo en cuenta su bajo coste y la mejora de las prestaciones debida a la miniaturización, la tecnología de Silicio ha dominado durante los últimos decenios el sector de las telecomunicaciones. El dispositivo de potencia escogido para amplificar señales de RF ha sido durante años el *LDMOS*, básicamente por su total compatibilidad con tecnología *CMOS*, que permitía abaratar costes de proceso, y por sus excelentes prestaciones como amplificador en aplicaciones de hasta 2 GHz de frecuencia de funcionamiento. En la Figura 1-1 se muestra el posicionamiento actual de los transistores *LDMOS* en comparación con transistores de RF integrados en otras tecnologías.

² Datos extraídos para una material de tipo N, con dopaje $N_D = 10^{17}\text{ cm}^{-3}$.

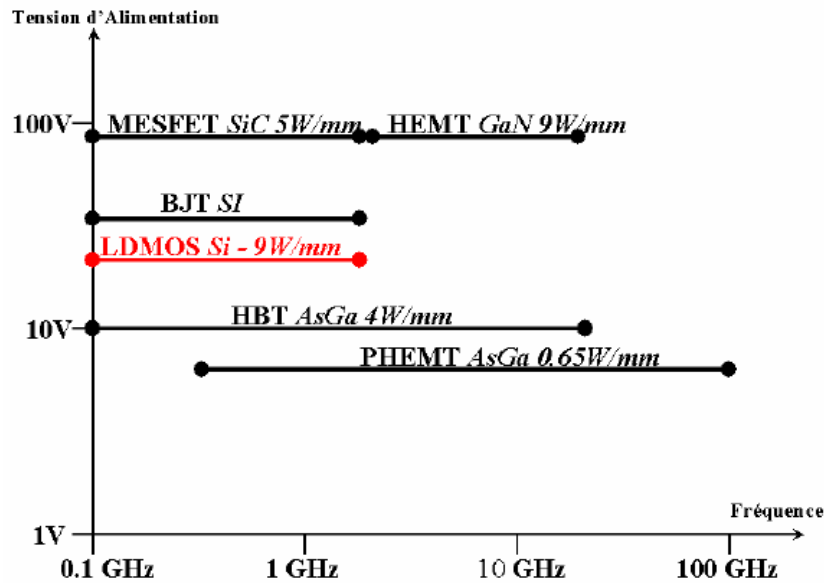


Figura 1-1 Posicionamiento de la tecnología LDMOS [3].

Uno de los grandes problemas de la tecnología de Silicio para aplicaciones de RF es las superiores pérdidas de RF en el sustrato en comparación con dispositivos equivalentes integrados en GaAs. El uso de sustratos *SOI* (*Silicon-on-Insulator*) ha permitido reducir las capacidades parásitas de los dispositivos y las pérdidas de RF, aumentando de este modo el factor de calidad de los componentes pasivos integrados en el chip [4]. Además, los sustratos *SOI* permiten una integración más eficiente de circuitos de potencia gracias a la capacidad de aislamiento entre etapas de baja y alta potencia.

1.2 Transistores de potencia para aplicaciones de estaciones base

Los sistemas de comunicación sin cables (*wireless*) incluyen los equipos móviles y la infraestructura necesaria para amplificar y distribuir las señales. Entre estas, cabe destacar las estaciones base de telefonía móvil que distribuyen las señales RF en su región de cobertura. Las señales de RF procedentes de teléfonos móviles deben ser amplificadas para poder alcanzar distancias de hasta 20 Km. Por tanto, el diseño y fabricación de amplificadores de potencia de RF con una buena linealidad y bajo consumo es fundamental para la calidad del servicio.

El sector de las estaciones base es el principal mercado de los transistores de potencia con capacidad de operar en RF. En general, el rango de potencia de estos dispositivos empieza en las decenas de vatios y puede alcanzar los centenares de vatios con tensiones de polarización en el rango de los 26-28 V [5]. Las especificaciones más relevantes en el diseño de estos dispositivos son:

- Bajo coste.
- Buen compromiso dimensiones/potencia de salida, o lo que es lo mismo, una densidad de potencia elevada.

- Buena eficiencia, también denominada *PAE* (*Power Added Efficiency*), para disminuir la disipación térmica. La eficiencia *PAE* es una de las figuras de mérito más importantes en amplificadores y viene dada por la siguiente expresión:

$$PAE = \frac{P_{out}(RF)}{P_{in}(DC)} \quad (1.1)$$

- Buena linealidad para disminuir al máximo la distorsión armónica (*IMD*).
- Alta fiabilidad. Normalmente se requieren tensiones de ruptura (V_{br}) tres veces superiores a la tensión de operación del dispositivo. Considerando que en las estaciones base los transistores *LDMOS* operan a 28 V, la tensión de ruptura debe ser alrededor de los 80 V.
- Buen compromiso entre potencia y ancho de banda.

Es preciso, por tanto, conseguir un buen compromiso entre linealidad y eficiencia en los amplificadores de RF. Los amplificadores clase A muestran una linealidad muy buena, pero no alcanzan el grado necesario de eficiencia debido a su consumo elevado en DC. Por el contrario, los amplificadores clase B alcanzan un alto grado de eficiencia a costa de una considerable degradación de la linealidad que provoca un elevado nivel de distorsión, inapropiado para aplicaciones de estaciones base de telefonía. Se puede conseguir un buen compromiso entre linealidad y eficiencia mediante el empleo de amplificadores de clase AB, que son los más usados en este tipo de aplicaciones.

El formato de modulación implementado agrupa los tipos de estaciones base, tal como se muestra en la Figura 1-2: *GSM* (900 MHz), *DCS* (1800 MHz), *CDMA* (1800 MHz), *W-CDMA* (1900 MHz) y, recientemente *UMTS* (2700 MHz).

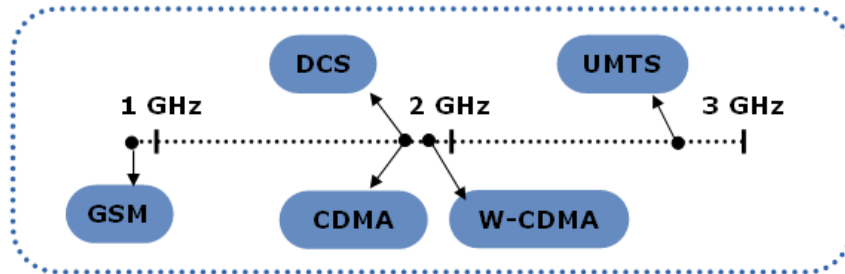


Figura 1-2 Formatos de modulación empleados en estaciones de base.

Se han realizado diferentes estudios comparativos entre los transistores de potencia utilizados en las estaciones base de telefonía móvil. El que se describe a continuación se llevó a cabo en el año 2002 [5] para cuatro transistores: un *MESFET* de SiC, un *HFET* de GaN, un *FET* de GaAs y un *LDMOS* de Silicio. En la gráfica de la Figura 1-3 se muestra la potencia de salida de RF y la eficiencia *PAE* de los transistores, representada en función de la tensión aplicada al dispositivo para una frecuencia de operación de 2 GHz. P_{out} (RF) depende de parámetros intrínsecos del material, como la transconductancia (g_m), la resistencia en conducción (R_{on}), o la capacidad de salida del dispositivo (C_{oss}). A pesar de que los transistores de *gap* ancho tienen propiedades adecuadas para RF, tal como refleja la tabla 1-2, no alcanzan potencias de salida tan elevadas como en el caso de los *LDMOS* y los *FETs* de GaAs.

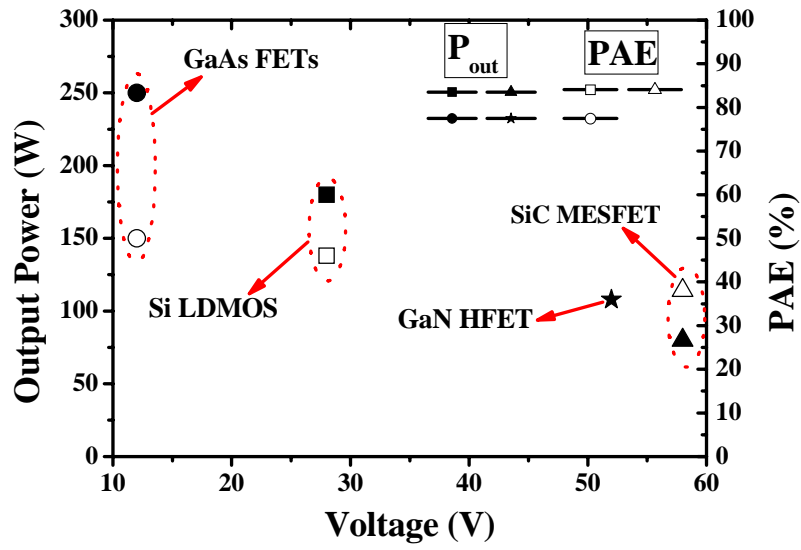


Figura 1-3 Comparación entre la potencia de salida en RF y la eficiencia PAE en función de la tensión aplicada para cuatro transistores de RF a una frecuencia de 2 GHz.

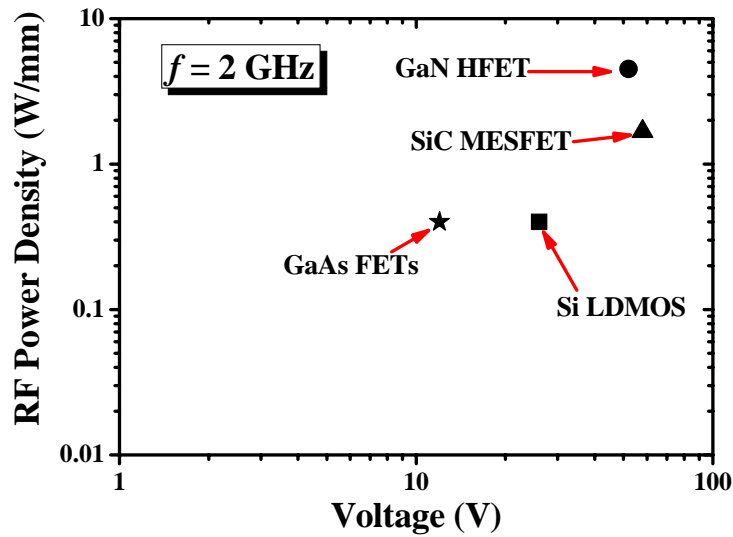


Figura 1-4 Densidad de potencia de RF en función del voltaje aplicado para cuatro diferentes transistores de RF a una frecuencia de 2 GHz.

La eficiencia *PAE* determina el rendimiento, o la óptima utilización de la potencia RF generada, en función de la energía disipada. Los resultados de la Figura 1-3 permiten concluir que tanto los transistores *LDMOS* como los *FETs* de GaAs son buenos candidatos para la implementación de amplificadores de potencia.

La comparación presentada en la Figura 1-4 muestra la densidad de potencia en función de la tensión aplicada para una frecuencia de operación de 2 GHz. Los dispositivos de *gap* ancho tienen unas prestaciones muy superiores a los obtenidos en transistores fabricados sobre sustratos de GaAs y de Silicio. Estas diferencias se pueden entender en función de la tensión aplicada (unos 60 V en los dispositivos de *gap* ancho) en comparación con los 28 V de los transistores *LDMOS* de Silicio y los 12 V de los *FETs*

de GaAs. La densidad de potencia es una figura de mérito muy importante dado que valores elevados de este parámetro permiten reducir las dimensiones de los transistores de potencia con la consiguiente facilitación de la adaptación de entrada y salida. Los transistores de *gap* ancho consiguen densidades de potencia extremadamente elevadas, lo que permite implementar dispositivos de área pequeña. Estos dispositivos podrán representar una seria competencia los transistores de Silicio y GaAs que actualmente copan el mercado de potencia para RF. Estas tecnologías son mucho más maduras y presentan un coste razonablemente bajo, una eficiencia probada y una elevada fiabilidad, elementos indispensables para los diseñadores de sistemas de potencia. A pesar que la Figura 1-5 [6] muestra la tendencia a la baja de los transistores *LDMOS* en Silicio y *FETs* de GaAs en el mercado de las estaciones base de telefonía, aún existe un amplio margen frente a las tecnologías de *gap* ancho.

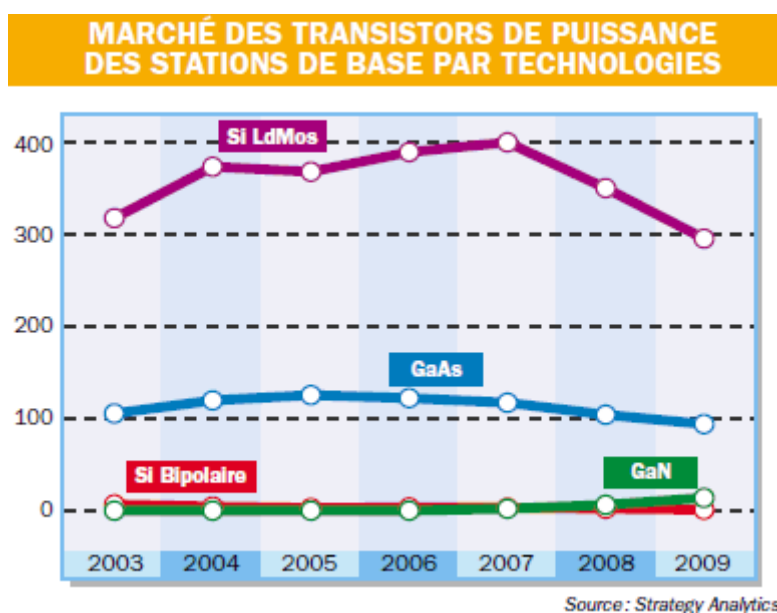


Figura 1-5 Consumo en millones de euros (real y estimado) en dispositivos para amplificadores de estaciones base de telefonía móvil.

En la actualidad, el mercado de las telecomunicaciones ocupa un 38% del mercado total de semiconductores. El transistor *LDMOS* sigue siendo el dispositivo de potencia por excelencia en las estaciones base de telefonía móvil. De hecho, El transistor *LDMOS* cubre un 90% del sector de las estaciones base trabajando a 0.9 GHz, 1.8 GHz y 2.6 GHz. A pesar de que el rendimiento de los transistores *LDMOS* disminuye por encima de los 2 GHz, en los últimos años han aparecido nuevos diseños para alargar la vida comercial de este dispositivo. Sin embargo, la creciente demanda de ancho de banda y de velocidad de transmisión en teléfonos móviles de las generaciones 2.5G y 3G forzará la introducción de otras tecnologías, como el Nitruro de Galio (GaN), para reemplazar los transistores *LDMOS* [6].

1.3 El transistor *MOSFET* de RF y sus diferentes arquitecturas

Los transistores *MOSFET* de potencia para aplicaciones de RF se integran tanto en arquitectura lateral como vertical. El *MOSFET* vertical se denomina *VDMOS* (*vertical double-diffused MOS transistor*), mientras que el lateral se conoce como *LDMOS* (*lateral double-diffused MOS transistor*) [7]. En las Figuras 1-6 (a) y (b) se representan las secciones transversales de los transistores *VDMOS* y *LDMOS*, respectivamente.

Los transistores *VDMOS* se basan en la conducción vertical aprovechando todo el volumen de Silicio con objeto de optimizar la caída de tensión en conducción y conseguir niveles de corriente nominal elevados. Los dispositivos verticales pueden soportar mayores tensiones que los laterales gracias al uso de sustratos muy poco dopados. La alta tensión se suele aplicar en la cara posterior soldada directamente sobre sustratos *PCB*, evitando los hilos de soldadura que aumentan los valores de las inductancias parásitas que limitan su uso a frecuencias medias-bajas.

En general los transistores *VDMOS* se destinan a aplicaciones de mayor potencia que los transistores *LDMOS* debido a que su mayor volumen les proporciona mayor capacidad de gestionar corrientes elevadas. Sin embargo, este aumento de volumen degrada dos parámetros básicos en dispositivos de RF: la resistencia específica en conducción (R_{on-sp}) y las capacidades intrínsecas. De este modo, la frecuencia máxima de funcionamiento de los *VDMOS* se ve reducida con respecto a su homólogo *LDMOS*.

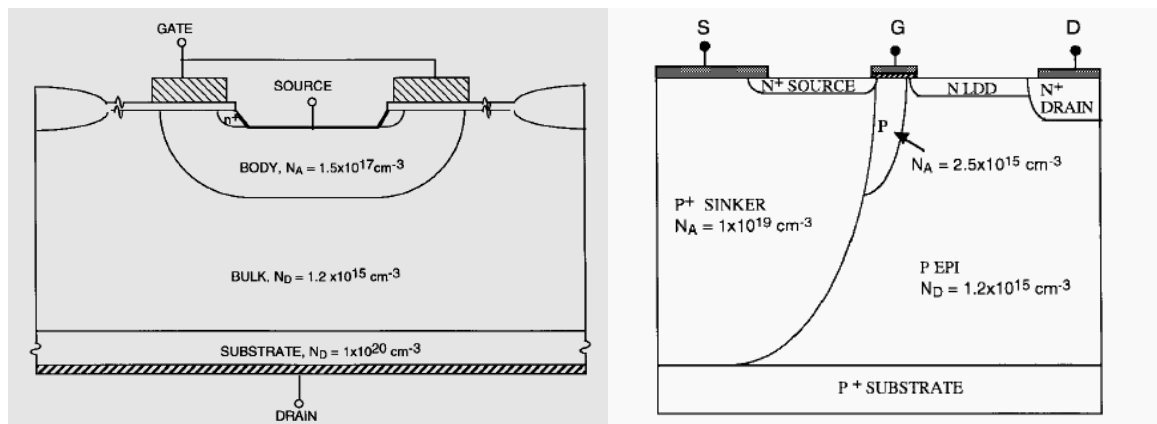


Figura 1-6. Corte transversal de un transistor (a) *VDMOS* y (b) *LDMOS* de RF [6].

Los transistores *LDMOS* tienen todos los electrodos en la cara anterior del chip y la conducción es paralela a la superficie, facilitando su integración monolítica con circuitos analógicos y digitales formando un *System-on-Chip* (*SoC*) o un *Smart Power Circuit*. En esta arquitectura, el sustrato de Silicio tiene un papel de mero soporte mecánico. Los circuitos de señal se integran en tecnología *CMOS* convencional a la que se añaden las etapas necesarias (pozos profundos y terminación) de los componentes de potencia. La proximidad entre las etapas de alta y baja potencia permite una reducción considerable de los elementos parásitos aunque existe un cierto riesgo de interferencias. La capacidad en tensión de los dispositivos laterales, optimizada mediante la técnica *RESURF* (*Reduced Surface Field*) [8], está determinada por la distribución de los picos de campo eléctrico en la superficie del Silicio. El *RESURF* determina el nivel de dopaje óptimo y la profundidad de la región de deriva donde se soporta la tensión de drenador.

1.3.1 El transistor LDMOS

El transistor de potencia *LDMOS* de RF consiste en la conexión en paralelo de transistores de canal corto fabricados mediante un proceso tecnológico de doble difusión. Los transistores *LDMOS* se destinaron inicialmente a aplicaciones de conmutación, pero la natural evolución tecnológica ha permitido alcanzar frecuencias de corte de 10 GHz, abriendo las puertas a su uso en aplicaciones de alta frecuencia. Este hecho se debe a que la longitud efectiva de canal es un parámetro ligado al proceso de fabricación y poco dependiente de la técnica fotolitográfica utilizada.

1.3.1.1 El transistor LDMOS versus el transistor MOSFET

Tal y como se puede observar en la Figura 1-7, la principal diferencia de un transistor *LDMOS* respecto a un *MOSFET* convencional es la inclusión de la región de deriva tipo N poco dopada, conocida como L_{DD} (*Light Doped Drift*), entre la puerta y la difusión N^+ de drenador.

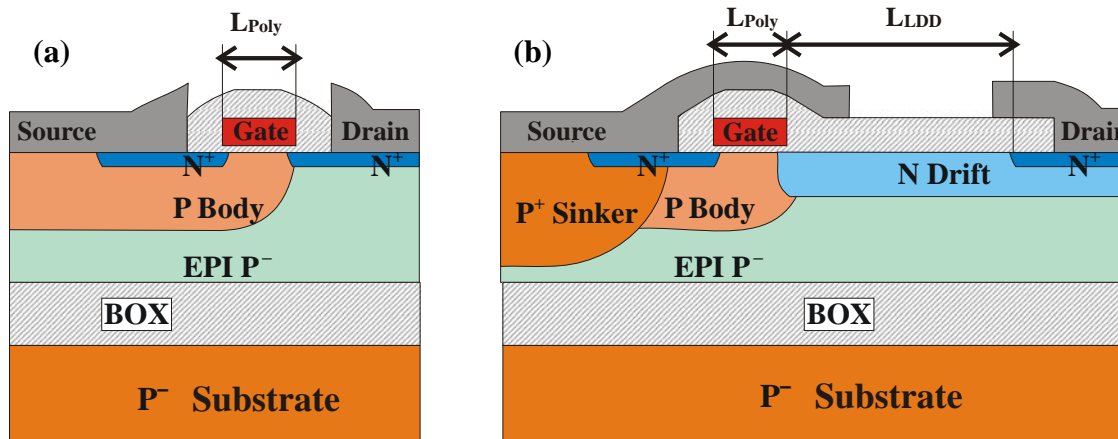


Figura 1-7 Sección transversal de un transistor (a) MOSFET y (b) LDMOSFET en sustrato SOI.

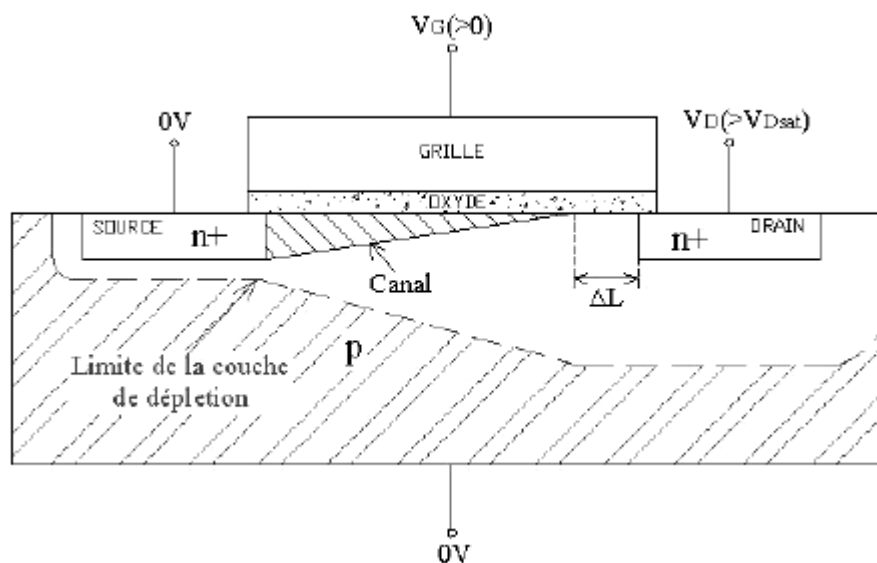


Figura 1-8 Distribución de cargas de un transistor MOSFET en régimen de saturación.

En un dispositivo *MOSFET* convencional como el de la Figura 1-7 (a), las difusiones de drenador y surtidor están auto-alineadas con la puerta de polisilicio. En condiciones de saturación del dispositivo, la unión P/N⁺ (*body*/drenador) está polarizada en inversa. La saturación del transistor se alcanza cuando la tensión de drenador (V_D) supera la tensión de *Pinch-off* (V_{Dsat}) del canal de inversión del *MOSFET*, dando lugar a un comportamiento similar al de un diodo P/N⁺ polarizado en inversa. Se crea una zona de carga espacial (sin portadores mayoritarios) de longitud ΔL en el canal que aumenta con V_D (Figura 1-8). El exceso de tensión aplicado ($V_D - V_{Dsat}$) cae en la zona vaciada que supone una resistencia superior a la de la zona invertida del canal, dando lugar a un campo eléctrico muy elevado y a una ruptura prematura del transistor.

La ruptura prematura de un *MOSFET* convencional se ha analizado mediante simulaciones de ruptura ($V_G = 0$ V). En las Figuras 1-9 (a) y (b) se muestran los cortes transversales del *MOSFET* convencional y del *LDMOS* simulados con *Sentaurus* [9], respectivamente.

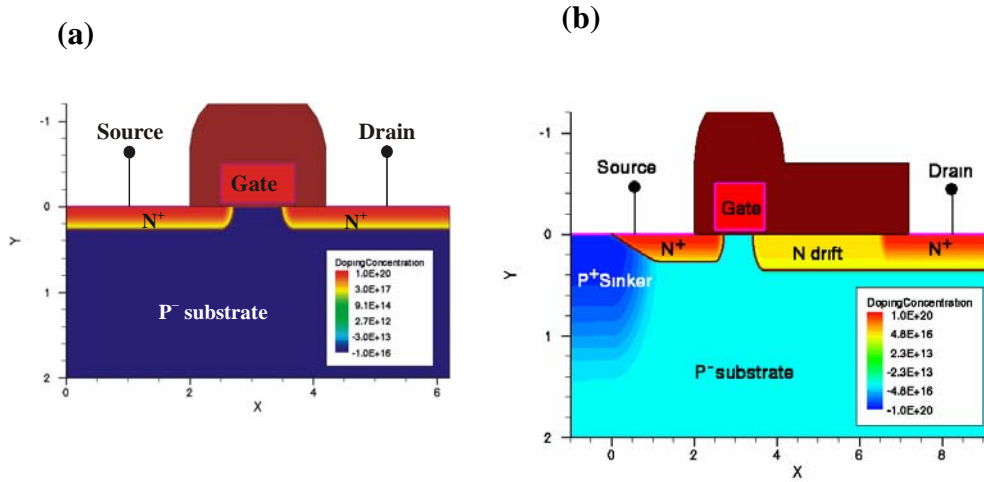


Figura 1-9 Sección transversal de un transistor (a) *MOSFET* convencional y (b) un *LDMOS* con una región de deriva de $3\mu\text{m}$ de longitud.

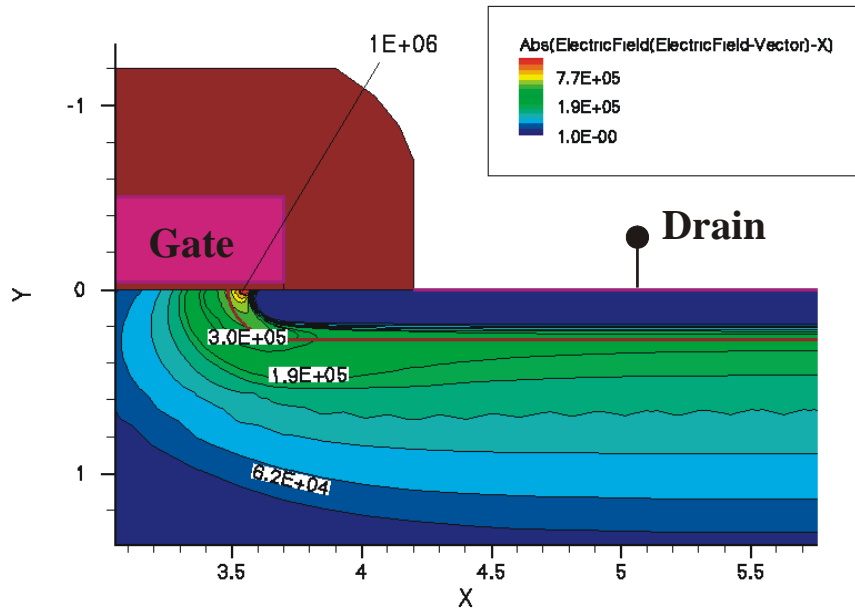


Figura 1-10 Contornos de campo eléctrico en la unión P *body*/N⁺ drain de un transistor *MOSFET* a $V_D = 12$ V y $V_G = V_S = 0$ V.

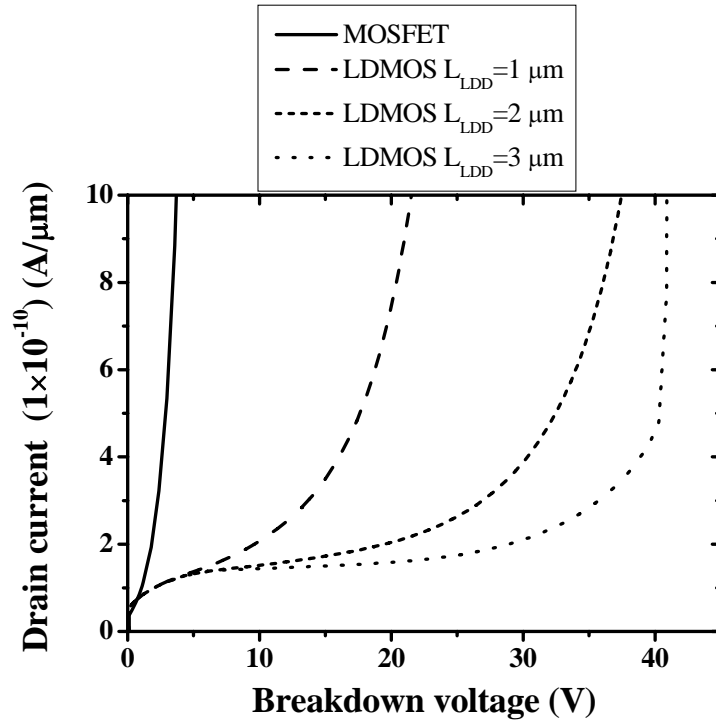


Figura 1-11 Tensión de ruptura simulada de un MOSFET y de LDMOS con diferentes valores de L_{LDD} .

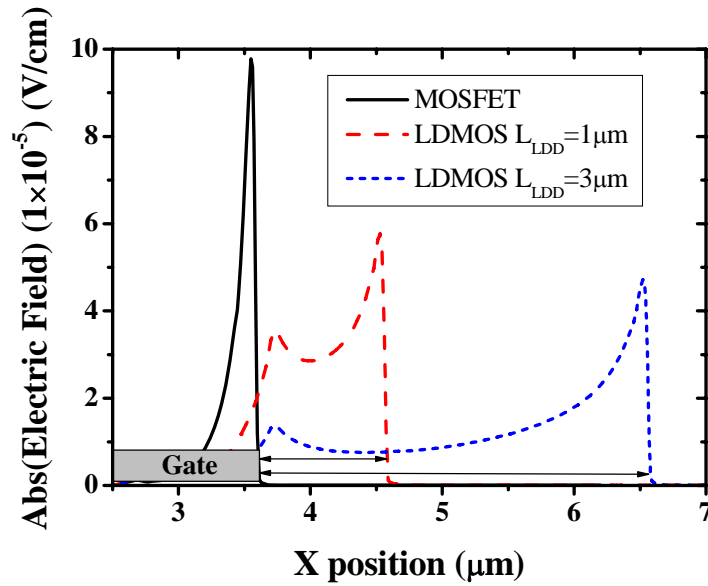


Figura 1-12 Campo eléctrico en ruptura obtenido de un corte superficial del transistor MOSFET y LDMOS para $L_{LDD} = 1$ y $3\ \mu\text{m}$.

En las condiciones de polarización detalladas en la Figura 1-10, el MOSFET alcanza la ruptura por avalancha a una tensión de $V_D = 12\ \text{V}$ dado que los campos eléctricos que se alcanzan en la unión P *body*/ N⁺ *drain* superan el campo eléctrico crítico ($E_c = 3 \times 10^5\ \text{V/cm}$). Para obtener tensiones de ruptura más elevadas es preciso implementar una región de deriva entre las regiones de *body* y drenador que soporte la mayor parte de la tensión de drenador y permita una reducción del campo eléctrico en superficie y

aumente la fiabilidad del dispositivo. La distribución del campo eléctrico en superficie para un *MOSFET* y un *LDMOS* con diferentes longitudes de la región de deriva se ilustra en la Figura 1-11, donde puede verse como el campo eléctrico en la unión *body/L_{DD}* disminuye al aumentar *L_{DD}* debido a la distribución más uniforme de campo eléctrico a lo largo de la región *L_{DD}*. Por tanto, separando la difusión de drenador respecto a la puerta aumenta la tensión de ruptura del dispositivo. En la Figura 1-12 se muestran los resultados de las simulaciones de ruptura de transistores *MOSFET* y *LDMOS* con diferentes longitudes de región de deriva (*L_{DD}*).

Tal como se desprende de las simulaciones realizadas, la región *L_{DD}* permite aumentar *V_{br}* a expensas de una degradación de *R_{on}*, dando lugar a un compromiso *V_{br}/R_{on}* que debe optimizarse mediante la técnica *RESURF*. No obstante, en primera aproximación y en condiciones ideales *V_{br}* y *R_{on}* son linealmente dependientes de *L_{DD}*.

Otro parámetro importante de diseño es la longitud efectiva de canal del transistor *LDMOS* (*L_{eff}*). En un *MOSFET* convencional como el de la Figura 1-9 (a) la difusión N⁺ de drenador contacta con la difusión de *body* mucho menos dopada. Al aplicar tensión el vaciamiento en la unión PN⁺ se produce principalmente hacia la región de *body*, de modo que si se quieren aplicar tensiones elevadas se debe incrementar *L_{eff}*. Por el contrario, en un transistor *LDMOS* la difusión de *body* tiene un dopaje similar al de la región *LDD* por lo que no es necesario aumentar *L_{eff}* para conseguir valores elevados de *V_{br}*. Esto permite valores elevados de *g_m*, indispensables para operar en RF. Además, el transistor con canal corto trabaja habitualmente a velocidad de saturación con la consiguiente mejora de su linealidad [10].

En conclusión, la arquitectura *LDMOS* es la idónea para aplicaciones de RF debido a:

- ✓ Valores de *V_{br}* elevados.
- ✓ Buen rendimiento a alta frecuencia (longitud de canal sub-micrónica).
- ✓ La configuración de la región de deriva determina la frecuencia de operación, la tensión de ruptura y la potencia disipada en conducción.

1.4 Mercado de los transistores *LDMOS* de RF

Tal como se ha mencionado en la sección anterior, la continua mejora de los procesos tecnológicos para la fabricación de transistores *MOS* de potencia, especialmente en lo referente a la reducción de las resistencias de contacto y de polisilicio de puerta, permitió la irrupción de estos dispositivos en el mercado de las telecomunicaciones operando a 0.9 y 1.8 GHz (*V_D* = 28 V). Actualmente, la mayoría de los amplificadores de potencia de las estaciones base de telefonía móvil se implementan con transistores *LDMOS* con tensión de ruptura en el rango de 80-100 V. Los transistores *LDMOS* de RF comerciales presentan unos buenos niveles de linealidad con un coste reducido de producción.

La mayoría de los transistores *LDMOS* de potencia para aplicaciones RF se integran con una arquitectura casi-lateral, tal como se puede apreciar en la Figura 1.6 (b) en formato discreto. La corriente fluye del drenador al surtidor a través del canal *MOS* en forma de electrones. En el metal de surtidor (flotante), los electrones se convierten en huecos que

fluyen verticalmente a través del pozo P^+ profundo y el sustrato P^+ hacia el electrodo de surtidor real, eliminando los hilos de soldadura del surtidor y reduciendo las inductancias parásitas del componente. El encapsulado de estos transistores de potencia suele presentarse en la forma mostrada en la Figura 1.13, utilizando conexiones con Oro para aumentar sus prestaciones. Las necesidades en frecuencia, fiabilidad, linealidad y pérdidas de los dispositivos en silicio que operan a 3 GHz o más son muy restrictivas, llevando a los transistores *LDMOS* de potencia a su límite de amplificación. La reducción de capacidades parásitas y la obtención de una transconductancia elevada y de distribución plana en un amplio rango de V_G son factores de vital importancia.

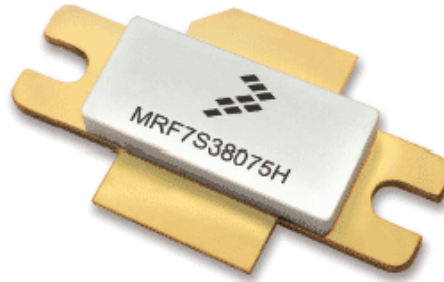


Figura 1.13 LDMOS comercial encapsulada.

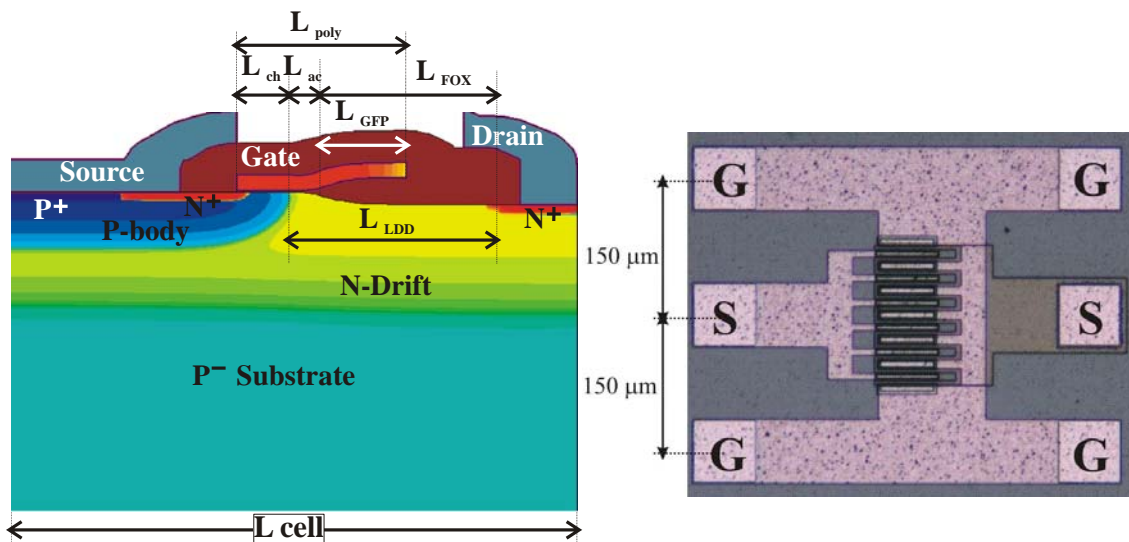


Figura 1.14 Arquitectura y parámetros tecnológicos principales de los transistores LDMOS de potencia fabricados en la Sala Blanca del CNM (izquierda). Fotografía al microscopio óptico de un transistor de test en configuración Ground-Signal-Ground.

Los transistores *LDMOS* de potencia utilizados en el marco de este trabajo se han fabricado en Sala Blanca del CNM mediante un proceso tecnológico con una cota mínima sobre máscara de $1.2\ \mu\text{m}$ y 7 etapas fotolitográficas. La arquitectura de los transistores fabricados junto con los principales parámetros tecnológicos se muestra en la Figura 1.14, donde se puede observar el uso de una oxidación local (*LOCOS*) en la región de deriva y una placa de campo de polisilicio para suavizar la distribución de campo eléctrico. Se han implementado transistores de área grande y estructuras de *test* con varias celdas. La disposición de los *pads* de medida se ha realizado en configuración *Ground-Signal-Ground* para facilitar las medidas de RF.

Esta memoria recoge los tres aspectos fundamentales del diseño de transistores *LDMOS* de potencia para aplicaciones de RF:

- (i) Estudio de las principales características eléctricas (V_{br} y R_{on}) en comportamiento estático.
- (ii) Análisis del comportamiento dinámico a alta frecuencia mediante la caracterización eléctrica de los dispositivos fabricados en Sala Blanca (CNM). Se describen los aspectos físicos relacionados con la conmutación de los transistores *LDMOS* fabricados, se implementa el modelo eléctrico equivalente y se extraen los parámetros fundamentales en frecuencia.
- (iii) Relación entre las características eléctricas y los parámetros tecnológicos. Como afectan las variaciones en el proceso tecnológico al modelo eléctrico equivalente.

1.5 Tecnologías empleadas en el diseño de dispositivos *LDMOS* de potencia

Hasta ahora no se han descrito las tecnologías de fabricación de transistores *LDMOS*, omitiendo otros factores estructurales y de diseño que también intervienen en términos de comportamiento del dispositivo en altas frecuencias. Con objeto de correlacionar los parámetros tecnológicos y las características de los transistores *LDMOS* es preciso distinguir entre las dos principales tecnologías de fabricación: *bulk* y tecnología en sustrato aislante *Silicon-on-Insulator (SOI)* o *Silicon-on-Sapphire (SOS)*.

1.5.1 Tecnología *bulk*

Es la tecnología más utilizada y hasta hace poco la única disponible a nivel comercial para diseñar circuitos integrados *CMOS*. A pesar de su enorme versatilidad, la tecnología *bulk* presenta una serie de inconvenientes: las conmutaciones a tensiones elevadas y la distribución no uniforme de la temperatura pueden llegar a afectar al comportamiento de los subsistemas vecinos debido al acoplamiento a través del sustrato. Por este motivo, en ciertas aplicaciones de alta frecuencia se emplean sustratos con una capa que aísla la capa de Silicio activa del resto del volumen de Silicio. La capa aislante puede ser de SiO_2 (*SOI*) o Zafiro (*SOS*). Las Figuras 1-6 (b) y 1-14 (a) son ejemplos de estas tecnologías.

1.5.2 Tecnología *SOI*

La arquitectura básica de un dispositivo integrado en tecnología *SOI* se muestra en la Figura 1-7. La capa activa de Silicio se sitúa sobre óxido enterrado o capa *BOX* que la aísla del sustrato tipo N^+ o P^- que tiene un carácter meramente estructural. El objetivo de implementar una capa aislante entre la capa activa de Silicio y el sustrato es la reducción de los tiempos de conmutación y el aumento de la frecuencia de operación. Por otro lado, el aislamiento inherente a la capa *BOX* permite integrar monolíticamente

dispositivos de potencia y circuitos lógicos en un mismo chip sin que estos se vean afectados por corrientes de fugas hacia el sustrato, tal como ocurre en tecnología *bulk*. Otra de las ventajas de la tecnología *SOI* con respecto a la *bulk* es la eliminación de la capa P^+ *Sinker* que cortocircuita el surtidor con el sustrato en los transistores *LDMOS*, dando lugar a una considerable reducción del tamaño final del transistor y de R_{on} .

1.5.3 Tecnología SOS

Los sustratos *SOS* están constituidos por una capa delgada de Silicio sobre un sustrato de Zafiro (Al_2O_3 monocristalino) que presenta una conductividad térmica 30 veces superior a la del SiO_2 y una permitividad eléctrica relativa de 9,5. Su aplicación en microelectrónica se restringe a RF y al campo de microondas en ambientes de alta temperatura y fuerte radiación. La evolución de las telecomunicaciones y el aumento de la frecuencia de operación de la telefonía móvil han realzado el interés por esta tecnología. El principal inconveniente, a pesar de las recientes mejoras en los procesos de producción de los sustratos *SOS* es la mala calidad cristalográfica y el coste elevado, en comparación con los sustratos *SOI*. Por el contrario, la tecnología *SOS* se beneficia de una baja capacidad de sustrato y de un alto factor de calidad, lo que hace que ésta sea una opción adecuada para integrar dispositivos de alta frecuencia.

1.6 Objetivos del proyecto

Una vez presentado el dispositivo *LDMOS* como objeto de estudio para el desarrollo de aplicaciones de RF debido a sus características, el objetivo principal de este proyecto será modelar y caracterizar el transistor *LDMOS* en base a su estructura física.

Se pretende la obtención de un circuito de pequeña señal completo del dispositivo y la posterior extracción de todos los componentes que forman dicho circuito.

Esto dará pie a un estudio sobre los diferentes métodos de extracción que se pueden utilizar en función de la polarización del dispositivo (en alguno de estos métodos también será relevante el número de dispositivos disponibles para realizar medidas).

En primer lugar, la extracción de parámetros procederá de estructuras simuladas mediante simuladores de elementos finitos [9], [11]. Posteriormente se realizarán medidas directamente sobre el dispositivo desarrollado en el ICMAB-CNM.

Se aportará un desarrollo de software para la automatización en la extracción de los parámetros del circuito de pequeña señal.

Con todo esto se pretende poner de manifiesto al transistor *LDMOS* como un dispositivo en plena corriente de desarrollo para aplicaciones de RF y de esta forma poder abrir paso a futuras investigaciones.

1.7 Organización y estructura de la memoria

La memoria consta principalmente de 2 partes, una primera en la cual se presentan diferentes métodos de extracción de parámetros circuitales de modelos de pequeña señal y una segunda con los resultados obtenidos de la simulación y medida directa sobre el dispositivo *LDMOS* considerado.

De estas 2 partes, la primera se centra en el estudio de diferentes métodos de extracción de parámetros circuitales por medio del modelado físico de la estructura *LDMOS* estudiada, justificando posteriormente el método utilizado para el desarrollo completo de este proyecto. De esta parte cabe destacar el origen físico de todos los elementos componentes del circuito de pequeña señal a obtener, en base a la estructura del transistor. De estos apartados también se obtendrá un estudio completo de las capacidades que intervienen en la estructura y una comparativa con las capacidades de una estructura *MOSFET*, (Capítulos 2, 3 y 4).

En lo referente a la segunda parte, se ofrece el resultado del modelo completo de pequeña señal obtenido, tanto en simulación como en medida directa sobre el transistor *LDMOS*. Estos resultados ofrecen el comportamiento frecuencial de los componentes circuitales y su comportamiento respecto a la polarización empleada.

Todo ello se completa con una serie de apéndices con los desarrollos matemáticos pertinentes y los códigos utilizados para el análisis de resultados. Finalmente se ofrece la organización temporal del proyecto.

1.8 Referencias

- [1] Baliga BJ. “*Modern power devices*” John Wiley & Sons, 1987
- [2] Burghartz JN. “*Silicon RF technology – The two generic approaches*”, Proc. ESSDERC 1997, pp. 143–53
- [3] Guyonnet M. “*Modélisation electrothermique non linéaire de transistores de puissance LDMOS: applications à la détermination de règles d’échelle*”, Thesis report, Université de Limoges, Limoges 2005
- [4] Burghartz JN. “*Status and trends of Silicon RF technology*”, Microelectronic reliability 2001;41(1) 13–19
- [5] Weitzel CE. “*RF power devices for wireless communications*”, IEEE Radio Frequency Integrated Circuits Symposium. 2002, pp. 369–72.
- [6] Humbert E, Lardière C, Coutance P. “*Le GaN va assurer la relève du LDMOS*”, Electronique International 2005;14 N° 594.
- [7] Trivedi M, Khandelwal P, Shenai K. “*Performance modelling of RF power MOSFET’s*”, IEEE Trans Electrón Dev. 1999;46(8):1794–1801
- [8] Appels JA, Vaes HMJ. “*High-voltage thin layer devices (RESURF DEVICES)*”, Proc. IEDM, pp. 238–41
- [9] Sentaurus TCAD TOOL Suite Synopsys 2006
- [10] Vestling L. “*Design and Modeling of High-Frequency LDMOS Transistors*”, Thesis report, Uppsala University, Sweden, 2002
- [11] Atlas and Athena User’s Manual from Silvaco Inc., Santa Clara. CA; 2003

Capítulo 2

Estudio de las capacidades parásitas de un *LDMOS* de RF

2.1 La capacidad *MOS*

Una capacidad *MOS* (*Metal-Oxide-Semiconductor*) consiste básicamente en un electrodo de puerta (metal o polisilicio altamente dopado) sobre una fina capa de dieléctrico de dióxido de Silicio (SiO_2) crecido sobre sustrato de Silicio.

En la Figura 2-1 se muestra un esquema de la sección transversal de una capacidad *MOS*.

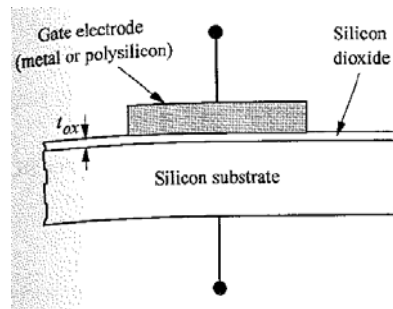


Figura 2-1 Sección transversal de una capacidad *MOS* [1].

Según la estructura *MOS* de la Figura 2-1, el electrodo de puerta se encuentra aislado del sustrato donde se forma el canal de conducción mediante un dieléctrico de espesor t_{ox} .

En la Figura 2-2 se puede ver un esquema del diagrama de bandas de energía. La diferencia entre el nivel de vacío y el nivel de Fermi del metal (E_{fm}) es lo que se conoce como la función de trabajo del metal (ϕ_m). El valor de ϕ_m viene dado en función del tipo de metal empleado. Sin embargo, por simplicidad en muchos estudios se considera que ϕ_m es exactamente la función de trabajo del semiconductor (ϕ_s), descrita por la siguiente expresión [1]:

$$\phi_s = \chi + \frac{E_g}{2q} + \psi_B \quad (2.1)$$

donde χ es la afinidad electrónica del semiconductor, E_g el ancho de banda prohibida y ψ_B la diferencia entre el potencial de Fermi y el potencial intrínseco.

Así pues, en ausencia de voltaje aplicado entre metal y Silicio, o lo que es lo mismo, puerta y sustrato a masa en un LDMOS ($V_{gb} = 0$), las dos funciones de trabajo, ϕ_m y ϕ_s , se igualan de modo que el nivel de Fermi del semiconductor (E_f) queda alineado con el del material de puerta (E_{fm}). En estas condiciones se considera que el sistema está en bandas planas o *Flat band conditions*, donde la diferencia de funciones de trabajo entre la puerta y el sustrato (ϕ_{ms}) es nula:

$$\phi_{ms} = \phi_m - \left(\chi + \frac{E_g}{2q} + \psi_B \right) = 0 \quad (2.2)$$

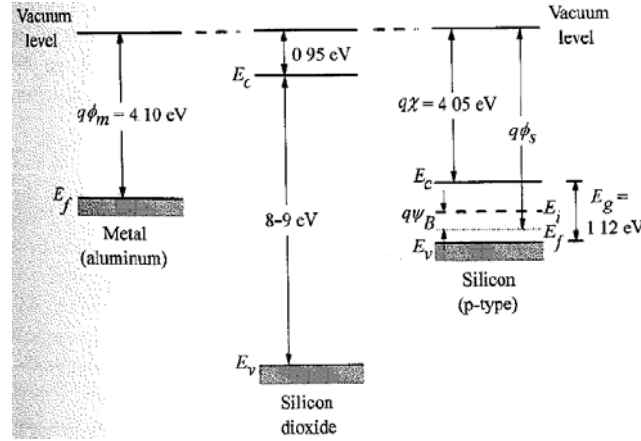


Figura 2-2 Diagrama de bandas de una capacidad MOS ideal tipo P en condición de bandas planas [1].

En el caso de una capacidad MOS real, ϕ_{ms} depende del dopaje del sustrato, el tipo de electrodo de puerta y de la temperatura. Para alcanzar la condición de bandas planas es preciso aplicar una tensión de puerta conocida como tensión de bandas planas ($V_{FB} = \text{Flat Band Voltage}$). Las condiciones ideales donde $V_{FB} = 0$ sólo se dan si se cumplen las siguientes condiciones:

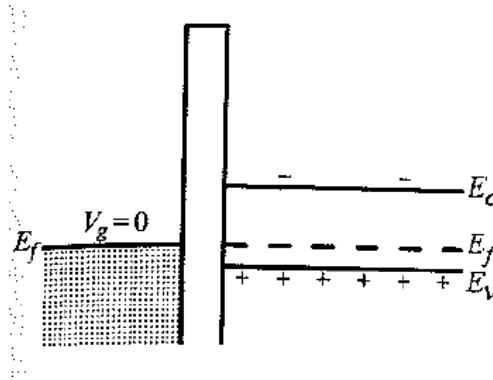


Figura 2-3 Diagrama de bandas de una capacidad MOS tipo P, para $V_{FB} = 0$ [1].

- (i) El dieléctrico es un aislante perfecto. Esta condición no se cumple en dispositivos con óxidos de puerta muy delgados, ya que bajo determinadas condiciones de polarización puede existir transporte de cargas a través del mismo.

- (ii) No hay cargas en el dieléctrico ni en la interfase dieléctrico-puerta y dieléctrico-substrato. Normalmente existen cargas en los dieléctricos inherentes al propio proceso de fabricación (contaminación en hornos).

Para definir las capacidades que intervienen en el transistor LDMOS, es preciso acotar los modos de operación, tomando como referencia la tensión de bandas planas (V_{FB}), que es la que hace nula a la diferencia entre funciones de trabajo (Ecuación 2.2). En la Figura 2-3 se muestra un diagrama de energía en condición de bandas planas.

2.1.1 Modos de operación de un MOS

Los modos de operación de una capacidad MOS se definen en función de la tensión aplicada al electrodo de puerta (V_g), conectando el terminal de sustrato a masa. En una capacidad MOS ideal se distinguen 3 modos de operación: acumulación, vaciamiento e inversión, como se muestra en la Figura 2-4:

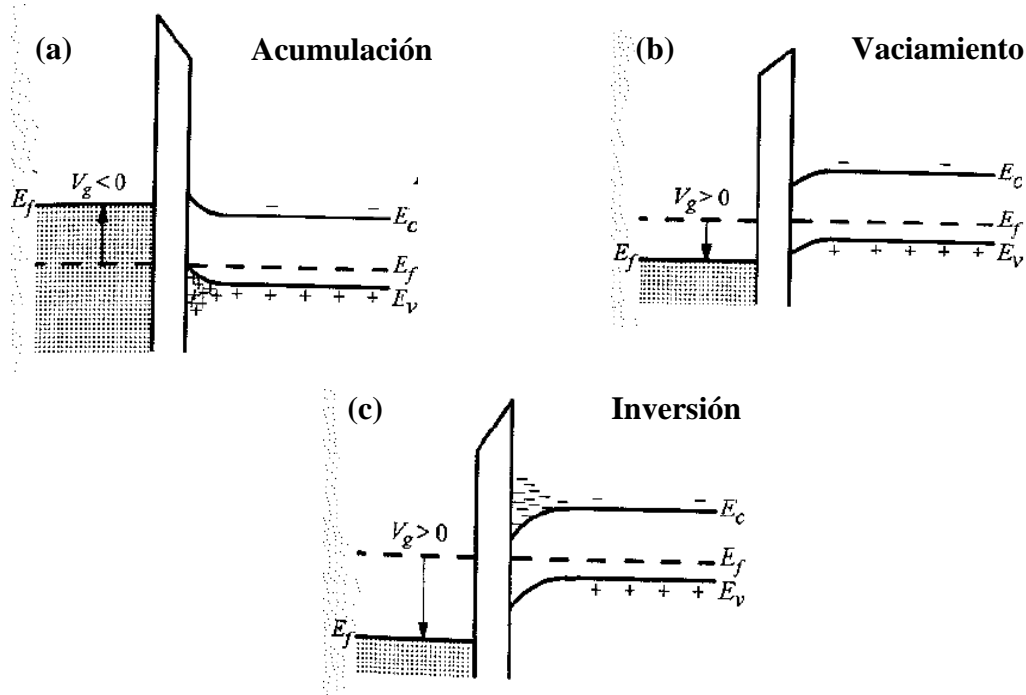


Figura 2-4 Diagrama de bandas de una capacidad MOS tipo P en los 3 modos de operación: (a) acumulación, (b) vaciamiento y (c) inversión [1].

Cualquier dispositivo semiconductor basado en conducción por puerta MOS incluye una serie de capacidades parásitas inherentes a la propia arquitectura de la tecnología empleada. La extracción de estas capacidades parásitas de un dispositivo se realiza habitualmente mediante medidas en pequeña señal. Es decir, se aplica un voltaje en continua en los terminales para definir el modo de operación deseado y a continuación se superpone un voltaje AC de unos 20 mV pico a pico a una frecuencia determinada. Las pequeñas variaciones de señal AC permiten aplicar técnicas de resolución lineal para obtener las capacidades parásitas. El valor de la capacidad MOS dependerá entonces de la V_g aplicada y de la frecuencia de variación de la señal AC.

En el caso de una capacidad MOS de sustrato tipo P, como la de la Figura 2-4 (a), si se aplica una tensión de puerta negativa ($V_g < 0$) el nivel de Fermi del metal (E_{fm}) aumenta con respecto al nivel de Fermi del Silicio (E_f), creándose un campo eléctrico en el óxido que será inducido en la superficie de Silicio dando lugar a un potencial superficial. Este campo eléctrico inducido en el Silicio acelera las cargas positivas hacia la superficie del mismo. Dada la baja concentración de cargas en el Silicio, en comparación con el metal, las bandas de energía se doblan hacia arriba en la región próxima a la interficie óxido-Silicio. Este doblamiento de bandas hace que E_f esté más próximo a la banda de valencia (E_v) en la superficie del Silicio que en el interior del sustrato o *bulk*. Finalmente, la concentración de huecos en la superficie del Silicio es muy superior a la del sustrato, operando el dispositivo en el modo de acumulación.

Por otro lado, si se aplica una tensión de puerta positiva ($V_g > 0$), el nivel E_{fm} bajará respecto a E_f . En este caso el doblamiento de las bandas en la superficie del Silicio será hacia abajo tal como se muestra en la Figura 2-4 (b). Por tanto, la banda de valencia en la superficie del Silicio está ahora más alejada del nivel de Fermi que en el volumen, de modo que la concentración de huecos será menor en la superficie que en el volumen. Este modo de operación se conoce como vaciamiento o *depletion*. El proceso de vaciamiento de huecos es similar a lo que ocurre en una unión P/N polarizada en inversa, donde la región vaciada tipo P presenta una carga neta negativa debido a los aceptores (iones negativos).

A medida que V_g aumenta, el doblamiento hacia abajo de las bandas en la superficie del Silicio se intensifica, tal como se aprecia en la Figura. 2-4 (c), provocando una extensión de la región de vaciamiento hacia el interior del volumen semiconductor. Este doblamiento acerca el nivel E_f a la banda de conducción (E_c) en la superficie del Silicio, de modo que se cumplen unas condiciones favorables para la acumulación de electrones en la superficie, es decir, convirtiendo la región superficial tipo P a en tipo N debido a que la nube de carga negativa (electrones) compensa totalmente los huecos. Es por esta razón que este modo de operación se conoce como inversión.

2.1.2 Definición de las capacidades de un MOS en pequeña señal

La capacidad de total puerta del sistema MOS (C_g) es la combinación en serie de la capacidad del óxido, C_{ox} , y del semiconductor, C_{si} :

$$C_g = \frac{C_{ox} \cdot C_{si}}{C_{ox} + C_{si}} \quad (2.3)$$

La capacidad del óxido C_{ox} es constante y viene dada por la siguiente expresión:

$$C_{ox} = C'_{ox} \cdot A \quad (2.4)$$

donde C'_{ox} es la capacidad del óxido por unidad de área y A el área de silicio cubierta por el electrodo de puerta. La componente C'_{ox} se expresa de la siguiente forma:

$$C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.5)$$

donde t_{ox} es el grosor del óxido y ϵ_{ox} su permitividad cuyo valor se extrae a partir de la relación $\epsilon_{ox} = \epsilon_0 \epsilon_r$, donde ϵ_0 es la permitividad del vacío ($8,854 \times 10^{-14}$ F/cm) y ϵ_r es la constante del dieléctrico, que para el SiO₂ tiene un valor de $\epsilon_r = 3.9$.

La componente de capacidad originada en el Silicio (C_{si}) es función de la tensión aplicada o V_g , y de la frecuencia de la señal AC. Por esta razón, debe tenerse en cuenta la distribución de potencial en la capacidad MOS. Cuando se aplica una tensión V_g a la puerta de una estructura MOS, como la de la Figura 2-1, parte de la tensión cae en el óxido (V_{ox}) y el resto se soporta en el volumen de Silicio, aunque la mayor parte cae en la superficie dando lugar al doblamiento de las bandas de energía. Así pues, la distribución de potencial se expresa de la siguiente forma:

$$V_g = V_{ox} + \psi_s = \frac{-Q_s}{C_{ox}} + \psi_s \quad (2.6)$$

donde Q_s es la carga total por unidad de área inducida en el Silicio y ψ_s el potencial superficial del Silicio. La capacidad C_{si} puede definirse a partir de los parámetros anteriores:

$$C_{si} = \frac{d(-Q_s)}{d\psi_s} \quad (2.7)$$

La carga Q_s depende de ψ_s , tal como se puede observar en la Figura 2-5. ψ_s no se puede medir directamente, pero si se puede deducir a partir del valor de tensión V_g aplicada. En condiciones de fuerte acumulación o fuerte inversión Q_s se puede expresar como $Q_s \approx -C_{ox} \cdot V_g$, debido a que V_g y V_{ox} pueden ser mucho mayores que la banda prohibida del Silicio ($E_g/q = 1.12$ V), mientras que ψ_s es siempre menor que E_g . La capacidad MOS puede expresarse de la siguiente forma:

$$C_g = \frac{d(-Q_s)}{dV_g} \quad (2.8)$$

Si se deriva la Ecuación 2.6 con respecto a $-Q_s$ y se define C_{si} según la Ecuación 2.7, se obtiene la siguiente expresión:

$$\frac{1}{C_g} = \frac{1}{C_{ox}} + \frac{d\psi_s}{d(-Q_s)} = \frac{1}{C_{ox}} + \frac{1}{C_{si}} \quad (2.9)$$

Por lo tanto, la capacidad total de una estructura MOS es igual a C_{ox} en serie con C_{si} tal y como se había expuesto previamente en la Ecuación 2.3.

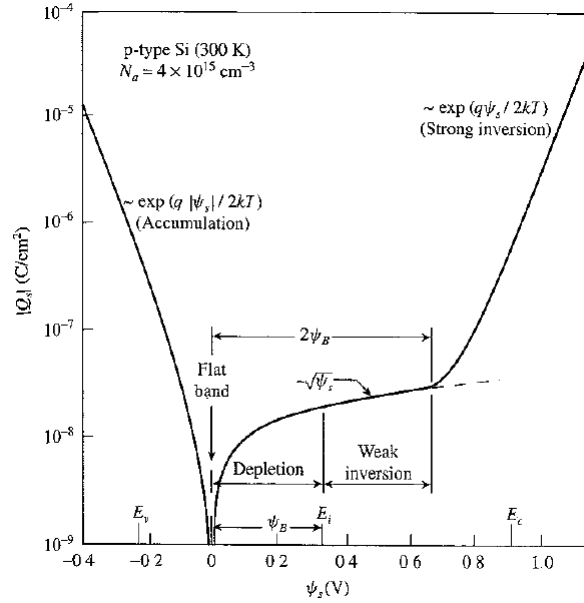


Figura 2-5 Variación de la densidad de carga en el Silicio (Q_s) en función de el potencial superficial (ψ_s) para una estructura MOS tipo P [1].

En la Figura 2-6, se puede ver el circuito equivalente de la capacidad MOS en función del modo de operación y la frecuencia aplicada. El circuito equivalente de C_{ox} en serie con C_{si} es ilustrado en la Figura 2-6 (a).

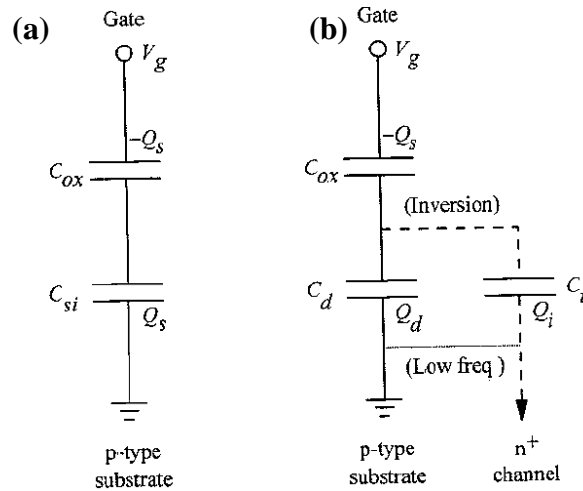


Figura 2-6 Circuito equivalente de una capacidad MOS.

Como ya se ha expuesto con anterioridad, en condiciones reales existen cargas atrapadas en el dieléctrico y en las interfaces óxido/Silicio. La respuesta de estas cargas a variaciones de ψ_s puede ser modelada con un nuevo término de capacidad (C_i) o capacidad por cargas atrapadas en la interfase. El circuito equivalente en estas condiciones se muestra en la Figura 2-6 (b) y la Ecuación 2.9 queda modificada como:

$$\frac{1}{C_g} = \frac{1}{C_{ox}} + \frac{1}{C_{si} + C_i} \quad (2.10)$$

La curva típica de capacidad (C-V) de un MOS tipo P en función de la tensión de puerta aplicada se expone en la Figura 2-7. Como se puede apreciar, hay diferentes curvas en función de la frecuencia de la señal AC aplicada.

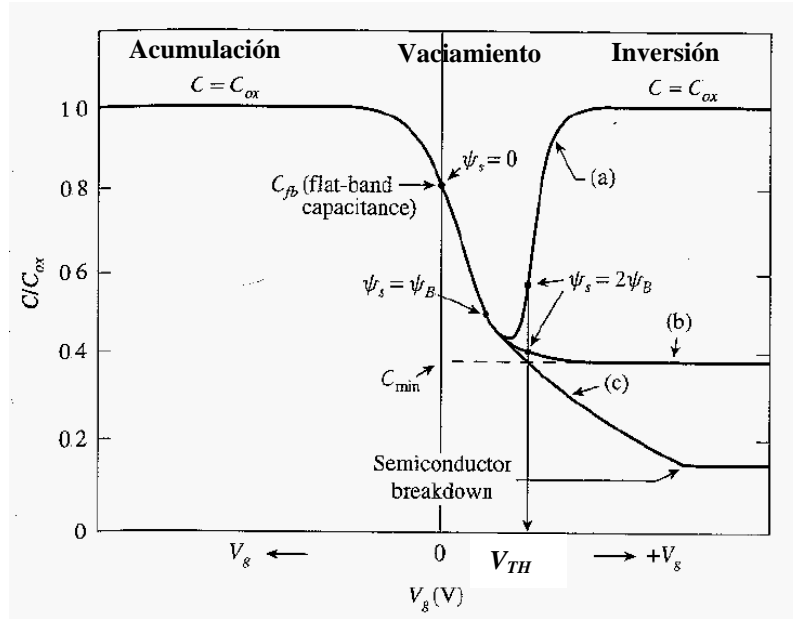


Figura 2-7 Característica C-V de una capacidad MOS tipo P en (a) baja frecuencia, (b) alta frecuencia y (c) deep depletion [2].

2.1.3 Característica C-V en acumulación

Si se analiza la característica C-V a tensiones negativas (régimen de acumulación), la capacidad MOS se mantiene constante a un valor igual a C_{ox} . Esto es debido a que la capa de acumulación de huecos en la superficie provoca que la estructura MOS se comporte como una capacidad de placas paralelas donde el terminal de puerta y la capa de acumulación forman las placas de dicho condensador mientras que el óxido de puerta forma el dieléctrico. Teniendo en cuenta que en estas condiciones $C_{si} \gg C_{ox}$, a partir de las ecuaciones 2.3, 2.4 y 2.5, la capacidad en acumulación del condensador MOS puede aproximarse como:

$$C_{g-acc} \approx C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \cdot A \quad (2.11)$$

2.1.3.1 Característica C-V en vaciamiento

A medida que la tensión de puerta aumenta, la acumulación de huecos en superficie va disminuyendo, o dicho de otro modo, se va vaciando de portadores mayoritarios. A valores de V_g ligeramente superiores a cero, el vaciamiento de la superficie del MOS provoca una disminución de C_{si} y por lo tanto de C_g . Estas condiciones corresponden a vaciamiento donde la disminución de C_{si} es proporcional a la profundidad de la capa vaciada de portadores. La capacidad C_{si} se comporta como un condensador de placas

paralelas utilizando como dieléctrico el Silicio y como separación entre placas la profundidad de vaciamiento:

$$C_{si-dep} = \frac{\epsilon_{si}}{d} \cdot A \quad (2.12)$$

$$d = \sqrt{\frac{2\epsilon_{si}\psi_s}{qN_A}} \quad (2.13)$$

donde d es la profundidad de vaciamiento o anchura de la zona de carga espacial, ϵ_{si} la permitividad del Silicio (cuya permitividad relativa es de $\epsilon_r = 12$) y N_A el dopaje del substrato tipo P. Finalmente, la capacidad total de la zona de vaciamiento es la combinación serie de C_{ox} y C_{si-dep} :

$$C_{g-dep} \approx \frac{C_{ox} \cdot C_{si-dep}}{C_{ox} + C_{si-dep}} \quad (2.14)$$

Por esta razón a medida que aumenta V_g , disminuye el valor de C_{g-dep} debido al incremento de d con V_g , tal como se ilustra en la Figura 2-6.

2.1.3.2 Característica C-V en inversión

En este estado es preciso diferenciar el comportamiento del MOS a frecuencias bajas o régimen *quasi-static* (Figura 2-7 (a)) y a frecuencias altas o régimen *non-quasi-static* (Figura 2-7 (b)). En el primer caso, si seguimos aumentando la tensión de puerta, llega un punto en que la capacidad C_g del MOS alcanza un mínimo a partir del cual se produce un rápido ascenso de su valor. Esto es debido a que a partir de valores de V_g próximos a la tensión umbral (V_{TH}) se llega a invertir de portadores la zona superficial del Silicio. En este caso, el comportamiento es similar al modo de acumulación donde C_{si} alcanza valores mucho mayores que C_{ox} . Así, en fuerte inversión, C_{g-inv} tiende a ser igual que C_{ox} , tal como se aprecia en la curva de la Figura 2-7 (a):

$$C_{g-inv} \approx C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \cdot A \quad (2.15)$$

Sin embargo, si la frecuencia de la señal AC aplicada es superior a unos 100 Hz (*non-quasi-static*) en condiciones de fuerte inversión, la concentración de portadores minoritarios cerca de la interfase SiO₂/Si les impide responder a las modulaciones de tensión, por lo que no contribuyen a la capacidad C_g . Esto es debido a que el ritmo de generación – recombinación de minoritarios en el substrato es superior al tiempo de modulación de la tensión aplicada en la puerta [2]. Solo los portadores mayoritarios, en este caso las cargas vaciadas, son capaces de seguir la señal AC aplicada. De este modo, la capacidad del MOS en fuerte inversión (C_{g-inv}) a frecuencias altas será como C_{g-dep} para el caso de una profundidad de vaciamiento máxima (d_{max}).

La expresión de d_{max} viene determinada por [1]:

$$d_{max} = \sqrt{\frac{4\epsilon_{si}KT \ln(N_A / n_i)}{q^2 N_A}} \quad (2.16)$$

donde K es la constante de Boltzmann ($K = 1.38 \times 10^{-23}$ J/K), T la temperatura absoluta en Kelvin y n_i la concentración intrínseca en el Silicio ($n_i = 1.5 \times 10^{10}$ cm⁻³). Substituyendo la Ecuación 2.16 en la expresión de C_{si-dep} de la Ecuación 2.12 se obtiene C_{si} en inversión a frecuencias altas:

$$C_{si-inv} = A \cdot \sqrt{\frac{\epsilon_{si} q^2 N_A}{4KT \ln(N_A / n_i)}} \quad (2.17)$$

La capacidad C_g en inversión se obtiene de la combinación serie de C_{ox} y de C_{si-inv} :

$$C_{g-inv} \approx \frac{C_{ox} \cdot C_{si-inv}}{C_{ox} + C_{si-inv}} \quad (2.18)$$

La curva de C_g vs V_g a frecuencias mayores de 100 Hz se ilustra en la Figura 2-6 (b).

Las curvas (a) y (b) de la Figura 2-7 muestran la evolución de C_g vs V_g de un MOS para una rampa de variación de V_g cuyo tiempo es superior al tiempo de recombinación de los portadores minoritarios. Si la rampa de V_g fuese inferior al tiempo de respuesta de los electrones, entonces no daría tiempo a la formación de la capa de inversión, de manera que el MOS se encontraría en un estado de profundo vaciamiento (*deep depletion*) representada por la curva (c). Por esta razón la capacidad C_{g-inv} acaba siendo todavía menor que en el caso de la curva (b).

2.1.3.3 Simulaciones en pequeña señal de una capacidad MOS

Para una mejor comprensión del efecto de la tensión de puerta sobre la capacidad MOS se han realizado simulaciones en pequeña señal con un simulador de elementos finitos [3] de una estructura MOS como la de la Figura 2-8. Como aislante de puerta se ha utilizado SiO₂ de un grosor (t_{ox}) de 40 nm. La capa de Silicio tiene un dopaje constante tipo P (*body*) de $N_A = 1 \times 10^{16}$ cm⁻³ que da un valor de V_{TH} de unos 0.5 V. V_{TH} marca la transición entre los modos de vaciamiento e inversión.

La capacidad de puerta de un MOS en condiciones de fuerte inversión o acumulación se puede determinar a partir de las ecuaciones 2.4 y 2.5. Conocidos los valores de ϵ_{ox} , t_{ox} y la longitud del canal ($L_{ch} = 1.2$ μm) se puede calcular directamente la capacidad de puerta del MOS. La naturaleza 2D de las simulaciones hace que la anchura del dispositivo no esté incluida, de modo que el área A se reduce a la longitud L_{ch} , dando lugar a resultados de capacidad en F/cm: $C_{ox} = 1.034 \times 10^{-15}$ F/cm.

Si se realiza un análisis en pequeña señal aplicando una rampa al electrodo de puerta de -5 a 5 V con el sustrato conectado a masa y se representa la capacidad de puerta del

MOS en función de la tensión de puerta (Figura 2-9) se obtienen dos respuestas bien diferenciadas en función de la frecuencia aplicada a la fuente AC de pequeña señal.

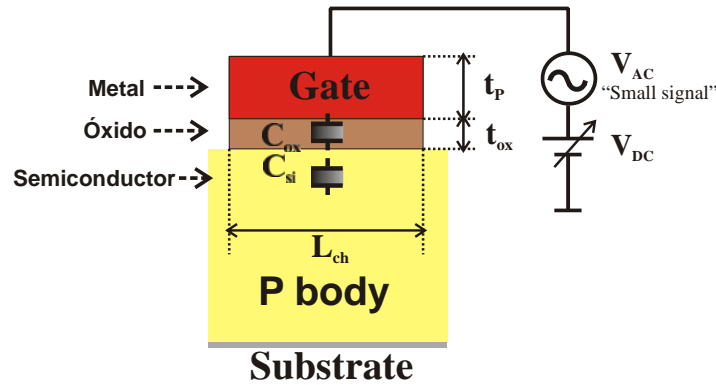


Figura 2-8 Análisis en pequeña señal de una estructura MOS de dos terminales.

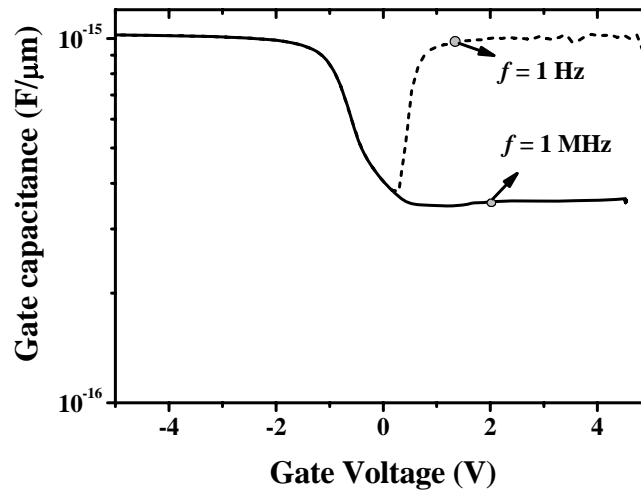


Figura 2-9 Característica C-V en una estructura MOS como la de la Figura 2-7.

En las regiones de acumulación e inversión a baja frecuencia ($f = 1 \text{ Hz}$) $C_g = C_{ox}$. Por otro lado, para una señal AC en alta frecuencia ($f = 1 \text{ MHz}$) se obtiene que en la región de inversión, C_g no varía respecto al valor de C_g de la región de vaciamiento.

En alta frecuencia, los electrones de la capa de inversión no son capaces de seguir las variaciones de puerta dado que están aislados del exterior por el óxido de puerta en la parte superior y por la región vaciada en la parte inferior. Por lo tanto, la capa de inversión solo puede cambiar mediante mecanismos de generación y recombinación que habitualmente son mucho más lentos que la frecuencia aplicada. De esta manera la capacidad se mantiene en valores bajos, tal y como se ha explicado con anterioridad [4].

2.1.3.4 Simulación del ‘Fringing effect’ en una capacidad MOS

Hasta ahora se han expuesto las componentes capacitivas básicas de la estructura MOS, relacionadas con el tipo y grosor del dieléctrico, el tipo y dopaje del semiconductor y a la tensión aplicada. Sin embargo, en transistores MOS reales, el polisilicio de puerta está recubierto por una capa de dieléctrico que lo aísla de los metales de fuente y drenador, dando lugar a una componente de capacidad asociada al campo eléctrico generado en los laterales de la puerta de polisilicio. Este efecto se conoce como “efecto de la periferia” o *fringing effect* e introduce una componente de capacidad (C_{fr}) en paralelo con C_{ox} , tal como se puede apreciar en la Figura 2-10, de modo que C_g queda de la forma:

$$\frac{1}{C_g} = \frac{1}{C_{ox} + C_{fr}} + \frac{1}{C_s} \quad (2.19)$$

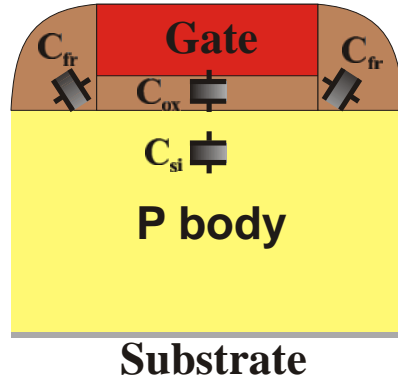


Figura 2-10 Capacidad MOS con spacers laterales de óxido.

La Figura 2-11 muestra los resultados de las simulaciones en pequeña señal de la característica C_g - V_g de un MOS con y sin efecto de la periferia.

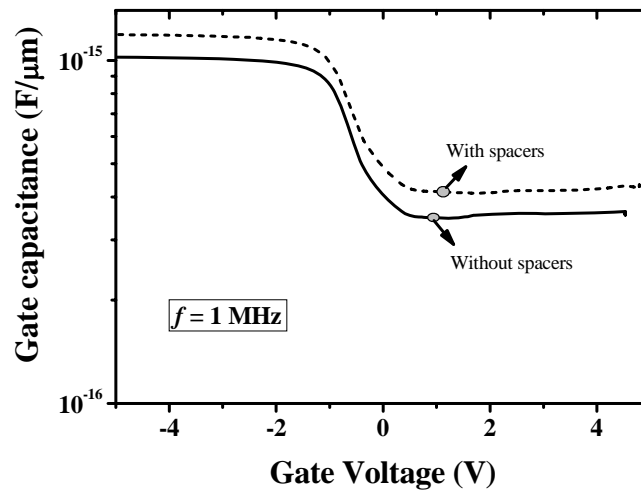


Figura 2-11 Comparación de la característica C-V para un MOS con y sin spacers laterales.

2.2 Capacidades de un transistor MOSFET

La diferencia entre una estructura MOS y una estructura MOSFET de canal P se reduce básicamente a la inclusión de las difusiones N⁺ y a los contactos de drenador y fuente. Gracias a estas difusiones y contactos, los electrones de la capa de inversión ya no se encuentran aislados como en el caso de una estructura MOS. Por lo tanto, la capa de inversión puede cambiar no solo por mecanismos de generación y recombinación sino también por efecto de la conducción lateral. Todo esto hace que la característica C-V de un MOSFET tenga una evolución marcadamente diferenciada de un MOS:

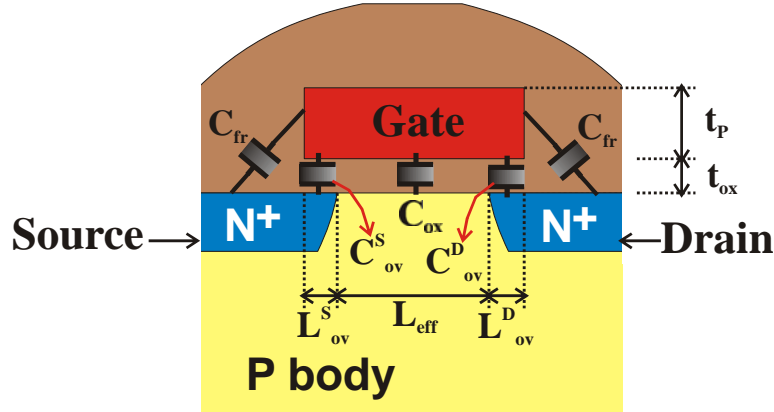


Figura 2-12 Detalle de la sección transversal de un MOSFET con las capacidades parásitas del terminal de puerta más importantes.

Se han realizado muchos estudios sobre las capacidades parásitas en función de la geometría del transistor MOSFET [5, 6, 7]. En la Figura 2-12 se ilustra un MOSFET convencional con las componentes capacitivas más relevantes. En este trabajo se han omitido algunas de las capacidades parásitas descritas en la literatura por su poco peso específico en la capacidad total de puerta. Las capacidades entre metales si que se han tomado en consideración en los transistores LDMOS, aunque en este estudio sólo se hace referencia a las capacidades relevantes cuando el transistor LDMOS trabaja en amplificación.

Las capacidades representadas en la Figura 2-12 son las siguientes:

- (i) C_{ox} es la capacidad del óxido de puerta definida en función de la longitud efectiva de canal (L_{eff}) y de la anchura total (W) del MOSFET. Siguiendo la formulación de la Ecuación 2.4, la C_{ox} del MOSFET se representa de la siguiente manera:

$$C_{ox} = C'_{ox} \cdot L_{eff} \cdot W \quad (2.20)$$

donde C'_{ox} , o capacidad del óxido por unidad de área, se obtiene de la Ecuación 2.5, Esta capacidad tiene un gran peso específico en condiciones de fuere inversión.

- (ii) C_{ov}^S y C_{ov}^D son las capacidades debido al solapamiento (*overlap*) de las difusiones N⁺ de drenador y fuente con el polisilicio de puerta, respectivamente. Las regiones superficiales de tipo N⁺ bajo el óxido de

puerta se encuentran fuertemente acumuladas tanto en modo de inversión como de vaciamiento [5, 6], mostrando el mismo efecto que C_{ox} pero para las longitudes de solapamiento. Debido a la simetría del MOSFET las expresiones de estas dos capacidades de solapamiento son idénticas:

$$C_{ov}^S = C_{ov}^D = C_{ox}' \cdot L_{ov} \cdot W \quad (2.21)$$

- (iii) C_{fr} es la capacidad de la periferia o capacidad *fringing*. Es la capacidad asociada con la interacción debido al campo eléctrico entre el terminal de puerta y las difusiones de fuente y drenador a través de los *spacers* laterales. Su valor puede determinarse analíticamente a partir de la siguiente expresión [5]:

$$C_{fr} = \frac{\epsilon_{ox}}{\alpha} \ln \left(1 + \frac{t_p}{t_{ox}} \right) \cdot W \quad (2.22)$$

donde t_p es el grosor de la capa de polisilicio y α es el ángulo entre la pared del bloque de polisilicio y la superficie de Silicio (Figura 2-13).

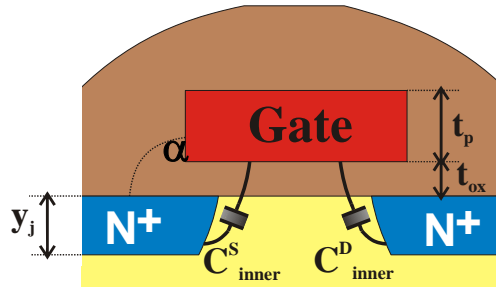


Figura 2-13 Detalle de la capacidad C_{inner} de drenador y fuente.

- (iv) C_{inner} es la capacidad asociada con el campo eléctrico con origen en la unión metalúrgica de drenador o fuente y final en el polisilicio de puerta [5, 6], tal como se ilustra en la Figura 2-13. Su expresión analítica es [5]:

$$C_{inner} = \frac{\epsilon_{ox}}{\beta} \ln \left(1 + \frac{y_j \cdot \sin \beta}{t_{ox}} \right) \cdot W \quad (2.23)$$

donde $\beta = \frac{\pi}{2} \cdot \frac{\epsilon_{ox}}{\epsilon_{si}}$, e y_j es la profundidad de unión de las difusiones N^+ .

2.2.1 Característica C-V de un transistor MOSFET

Si se realiza una simulación AC en pequeña señal del transistor MOSFET aplicando una tensión de puerta de -6 a 6 V y conectando a masa los electrodos de drenador, fuente y sustrato, el transistor pasará por sus tres modos de operación: acumulación, vaciamiento, e inversión, igual que en el caso de la capacidad MOS.

Las dos capacidades más relevantes en un transistor *MOSFET* son las relativas a los electrodos puerta-drenador (C_{gd}) y puerta-fuente (C_{gs}). Teniendo en cuenta la simetría del transistor *MOSFET* resulta que $C_{gs} = C_{gd}$. En la Figura 2-14 se muestra el resultado de la simulación de C_{gs} y C_{gd} en un transistor *MOSFET* de canal N.

Un primer análisis de los resultados de la Figura 2-14 permite concluir que los valores máximos de C_{gs} y C_{gd} se obtienen en modo de inversión ($V_g > V_{TH}$) con inversión de la superficie del *body* y acumulación de electrones en las regiones de *overlap*, drenador y fuente. Por este motivo, si se desglosan estas dos capacidades en función de las capacidades parásitas antes expuestas se obtiene:

$$C_{gs}^{inv} = \frac{1}{2} C_{ox} + C_{ov}^S + C_{fr}^S \quad (2.24)$$

$$C_{gd}^{inv} = \frac{1}{2} C_{ox} + C_{ov}^D + C_{fr}^D \quad (2.25)$$

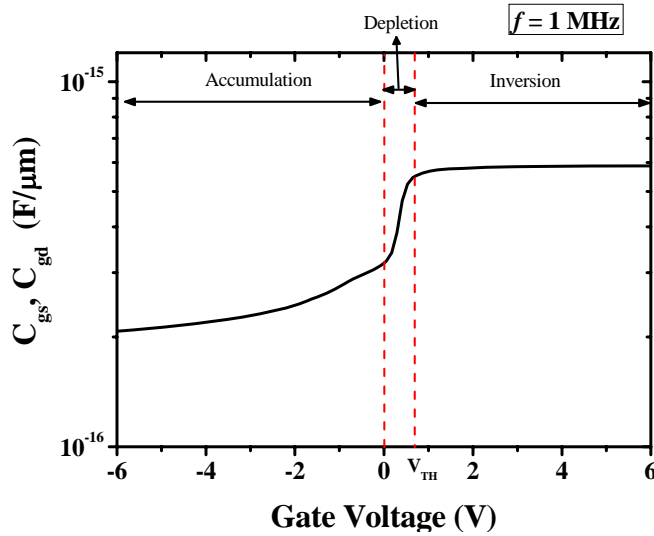


Figura 2-14 Evolución de las capacidades C_{gs} , C_{gd} de un transistor *MOSFET* en función de V_g .

Debido a la simetría del *MOSFET*, las cargas invertidas en la superficie del *body* se reparten equitativamente entre el drenador y la fuente. Por lo tanto, se tiene la mitad de la componente C_{ox} para C_{gs} y C_{gd} . La componente C_{inner} queda anulada debido a que la capa de inversión enmascara el acoplamiento electrostático entre la puerta y las uniones N^+ -*body* [1].

En modo de vaciamiento, el desdoblamiento de electrones en la región superficial de *body* hace que la componente capacitiva C_{ox} pierda su efecto en C_{gs} y C_{gd} cuando se reduce V_g . Sin embargo, al no tener el efecto de apantallado de la capa de inversión es preciso introducir la componente C_{inner} :

$$C_{gs}^{dep} = C_{ov}^S + C_{fr}^S + C_{inner}^S \quad (2.26)$$

$$C_{gd}^{dep} = C_{ov}^D + C_{fr}^D + C_{inner}^D \quad (2.27)$$

La pendiente de la curva C-V en esta región es causada por las variaciones de la profundidad de vaciamiento (Ecuación 2.16), que hacen que cada vez tenga menor efecto la componente C_{ox} .

Finalmente, cuando $V_g < 0$ se entra en modo de acumulación, donde los huecos acumulados en la superficie del *body* se encuentran aislados de las difusiones N^+ [5]. Por lo tanto, estos portadores acumulados no introducen ningún efecto en las capacidades C_{gd} y C_{gs} del MOSFET. Además, la capa acumulada también apantalla el efecto de C_{inner} . De esta manera en fuerte acumulación se obtiene:

$$C_{gs}^{acc} = C_{ov}^S + C_{fr}^S \quad (2.28)$$

$$C_{gd}^{acc} = C_{ov}^D + C_{fr}^D \quad (2.29)$$

La caída de C_{gs} y C_{gd} con V_g corresponde a la componente C_{inner} , que va reduciendo su valor a medida que V_g disminuye

2.2.2 Variación de C_{gs} versus y_j en las difusiones N^+

Las simulaciones de C_{gs} , C_{gd} en función de V_g realizadas con el resto de terminales del MOSFET conectados a masa para diferentes profundidades de difusión N^+ de drenador y fuente dan los resultados ilustrados en la Figura 2-15.

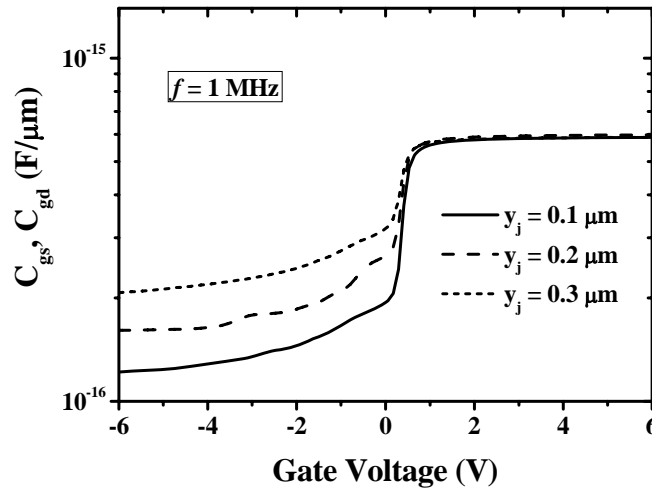


Figura 2-15 Evolución de C_{gs} y C_{gd} en función de V_g a diferentes profundidades de las difusiones de drenador y surtidor.

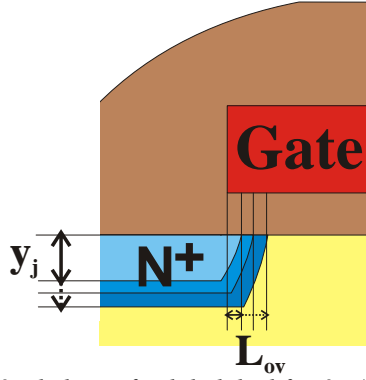


Figura 2-16 Detalle de la variación de la profundidad de difusión (y_j) de fuente y su repercusión sobre la longitud de solapamiento (L_{ov}) con la puerta.

Cuando aumenta la profundidad de difusión (y_j), aumenta la longitud de solapamiento con la puerta (L_{ov}), tal como se aprecia en la Figura 2-16. A pesar que la componente C_{ov} aumentará, la disminución de L_{eff} repercutirá en C_{ox} provocando que C_{gs} y C_{gd} en inversión se mantenga prácticamente constante. Por el contrario, en acumulación, al no disponer de la componente C_{ox} , se observa una variación de C_{gs} y C_{gd} debida a C_{ov} y también al aumento de la componente C_{inner} a medida que y_j crece. Si se aplica la Ecuación 2.23 para $y_j = 0.1$ y $0.3 \mu m$ y para $t_{ox} = 40$ nm y $t_p = 0.5 \mu m$ se obtiene:

$$C_{inner}^{y_j=0.1} = 5.3 \times 10^{-17} F / \mu m < C_{inner}^{y_j=0.3} = 1 \times 10^{-16} F / \mu m \quad (2.30)$$

Existen diferentes métodos de extracción de L_{eff} en un MOSFET a partir de la evolución de C_{gs} - V_g [7], [8], [9] y [10].

2.2.3 Variación de C_{gs} versus L_{poly}

La variación de la longitud del polisilicio de puerta repercute directamente en L_{eff} , como se puede ver en la Figura 2-17. Obviamente, el incremento de L_{eff} afectará directamente la componente C_{ox} aumentando el valor de C_{gs} y C_{gd} en inversión. Los resultados de la simulación de C_{gs} y C_{gd} versus V_g para diferentes longitudes de polisilicio se muestran en la Figura 2-18.

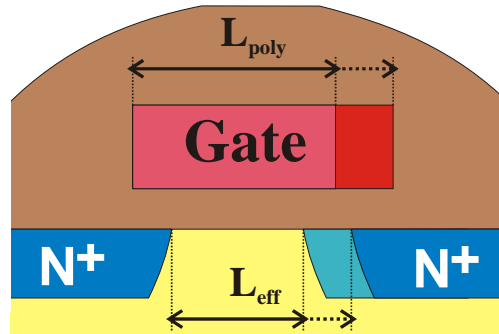


Figura 2-17 Detalle de la variación de la longitud de polisilicio (L_{poly}) de puerta y su repercusión sobre la longitud efectiva del MOSFET (L_{eff}).

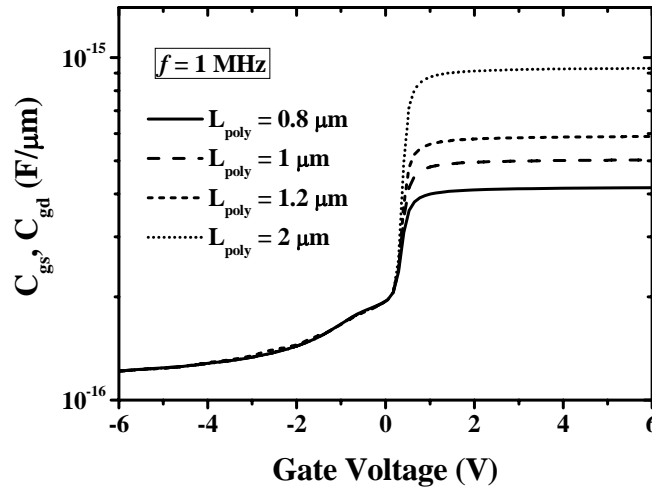


Figura 2-18 Evolución de C_{gs} y C_{gd} en función de V_g para un MOSFET con diferentes longitudes de polisilicio.

2.3 Capacidades de un transistor *LDMOS*

En este apartado se estudia la evolución de las capacidades C_{gs} y C_{gd} de un *LDMOS* en comparación con un *MOSFET* convencional, con especial énfasis en la región de inversión. Además, se describen todas las capacidades parásitas que entran en juego en un *LDMOS*, tanto intrínsecas como extrínsecas al transistor.

2.3.1 Característica *C-V* de un transistor *LDMOS*

Para analizar las capacidades parásitas de un *LDMOS* convencional se ha realizado una comparación previa entre un *MOSFET* y un *LDMOS* sin contacto de *body* y con un dopaje de *body* constante a lo largo de canal, idéntico al del *MOSFET*. Este *LDMOS* simplificado es como un *MOSFET* con el electrodo de drenador extendido, de modo que se le denomina *EDMOSFET* o *Extended Drain MOSFET*. Se han realizado simulaciones de la característica *C-V* del *MOSFET* y del *EDMOSFET* con diferentes dosis de implantación de la región de deriva.

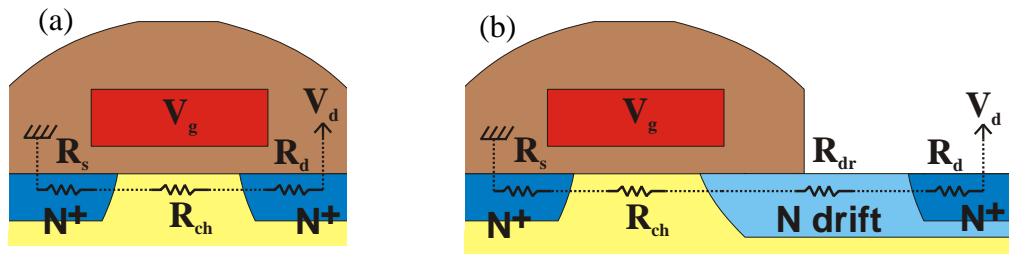


Figura 2-19 Comparación entre las componentes resistivas de (a) un MOSFET y (b) un EDMOSFET.

En la Figura 2-19 se muestra la región de puerta de las dos estructuras comparadas. La principal diferencia entre las dos estructuras, (a) *MOSFET* y (b) *EDMOSFET*, es la presencia de una región de deriva o *light doped drain* (L_{DD}) necesaria para soportar tensiones de drenados elevadas. En el modo de inversión, las dos estructuras se pueden representar por un conjunto de resistencias variables en función de la tensión de drenador y puerta (V_d , V_g). Las resistencias de las difusiones N^+ de drenador y fuente (R_d , R_s) son muy inferiores a las resistencias de canal (R_{ch}) y de región de deriva (R_{dr}). El transistor *EDMOSFET* pierde toda simetría debido a la existencia de la región de deriva y, por tanto, C_{gd} y C_{gs} no son exactamente iguales como en el caso del *MOSFET*. Esta variación de C_{gs} y C_{gd} viene determinada por las componentes resistivas descritas en la Figura 2-19.

Para analizar el efecto de la región de deriva se ha elegido una longitud constante ($L_{LDD} = 3 \mu\text{m}$) y un dopaje variable ($N_{drift} = 1 \times 10^{20}$, 1.4×10^{17} , 9×10^{16} y $5.4 \times 10^{16} \text{ cm}^{-3}$). Los parámetros básicos que definen la difusión de tipo Gaussiano de la región de deriva son: N_{drift} , que corresponde al valor de dopaje en superficie (o valor máximo) y la profundidad de la unión (y_j) que será constante e igual a $0.3 \mu\text{m}$. Los resultados de las características C_{gs} vs. V_g y C_{gd} vs. V_g para un *MOSFET* y un *EDMOSFET* con diferentes dopajes N_{drift} se ilustran en la Figura 2-19 (a) y (b), respectivamente.

A partir de la Figura 2-19 (a), comparando C_{gs} del *MOSFET* con C_{gs} del *EDMOSFET* para diferentes valores de N_{drift} se observa como a medida que N_{drift} disminuye aumenta C_{gs} de inversión. Si se reduce aun más N_{drift} , C_{gs} en inversión del *EDMOSFET* alcanza un valor máximo de valor igual al doble de C_{gs} en inversión obtenida del *MOSFET*. Por lo tanto:

$$C_{gs}^{inv} (\text{EDMOSFET}) \xrightarrow{N_{drift} \downarrow \downarrow} 2 \cdot C_{gs}^{inv} (\text{MOSFET}) \quad (2.31)$$

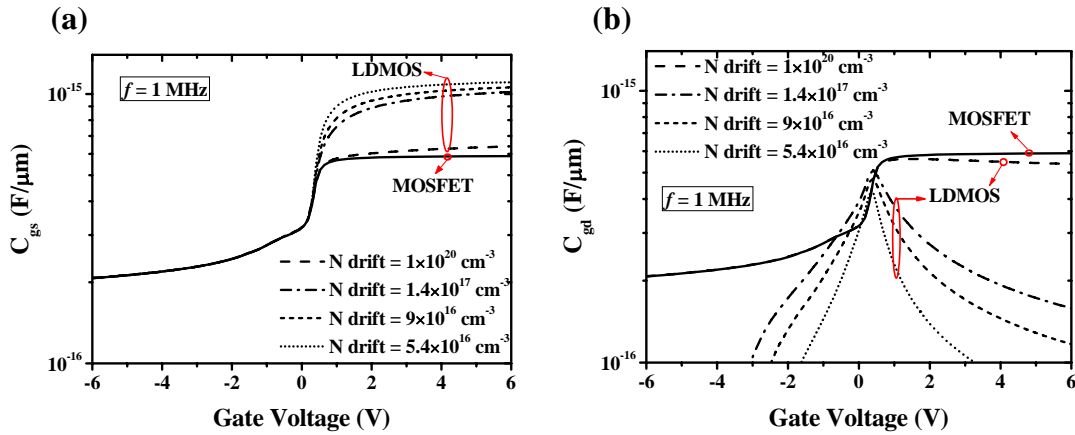


Figura 2-20 Comparativa de la evolución de C_{gs} y C_{gd} en función de V_g en un MOSFET y un LDMOS con diferentes valores de N_{drift} .

La evolución de C_{gd} en el MOSFET y el EDMOSFET de la Figura 2-20 (b) muestran como el comportamiento en modo de inversión es totalmente contrario al anterior. Es decir, C_{gd} disminuye con N_{drift} . Además, la disminución de C_{gd} no solo se produce en modo de inversión, sino también en acumulación. Como ya se ha mencionado, la componente altamente resistiva introducida por la región de deriva provoca que los electrones de la superficie del canal en la región de inversión sean recogidos en su

mayor parte por la fuente, hecho que explica el aumento de C_{gs} y la consiguiente disminución de C_{gd} en inversión. Las expresiones de C_{gs} y C_{gd} en inversión del *MOSFET* (Ecuaciones 2.24, 2.25) se deben redefinir del siguiente modo:

$$C_{gs}^{inv} = n_s \cdot C_{ox} + C_{ov}^S + C_{fr}^S \quad (2.32)$$

$$C_{gd}^{inv} = n_d \cdot C_{ox} + C_{ov}^D + C_{fr}^D \quad (2.33)$$

donde n_s y n_d indican la proporción de cargas del canal que serán recogidas por la fuente y el drenador, respectivamente. El valor de n_s y n_d se obtiene a partir de una relación de resistencias. Para simplificar más el cálculo se ha considerado que R_{ch} en inversión es ideal e igual a cero. De modo que:

$$n_s = \frac{R_s // (R_{dr} + R_d)}{R_s} \quad (2.34)$$

$$n_d = \frac{R_s // (R_{dr} + R_d)}{(R_{dr} + R_d)} \quad (2.35)$$

Teniendo en cuenta que R_{dr} depende del dopaje N_{drift} y que R_{dr} es mucho mayor que R_d y R_s se obtiene que n_s tiende a 1 y que n_d tiende a 0. Esto explica la relación expresada en la Ecuación 2.31. En el caso de un *MOSFET* (Ecuaciones 2.24, 2.25), los parámetros $n_s = n_d = 0.5$, debido a la simetría de drenador y fuente. Por lo tanto, el valor de C_{gs} y de C_{gd} en fuerte inversión depende de lo resistivos que sean los caminos desde el canal de inversión hacia la fuente y el drenador [11].

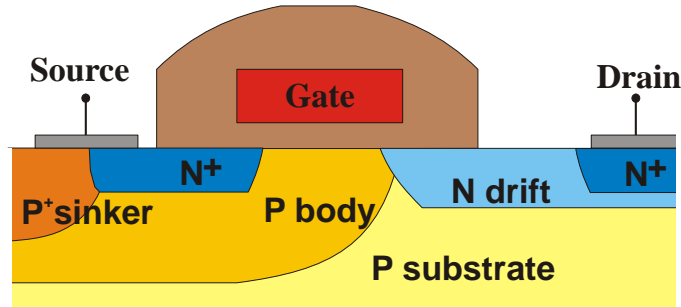


Figura 2-21 Sección transversal de un transistor *LDMOS*.

En un *LDMOS* convencional como el de la Figura 2-21 existe una implantación de Boro adicional auto-alineada con el polisilicio de puerta para definir la región de *body*, que una vez difundido define un canal de dopaje no uniforme. Por otro lado, para evitar la activación del bipolar parásito el *body* se conecta a la fuente mediante la implantación P^+ *sinker*. La presencia del contacto de *body* y a la distribución de dopaje no uniforme en el canal provoca una variación de la característica C-V del *LDMOS* respecto a la obtenida en el *EDMOSFET*. En la Figura 2-21 se presenta la comparación de la curva C-V para las capacidades C_{gd} y C_{gs} de un *EDMOSFET* y un *LDMOS*.

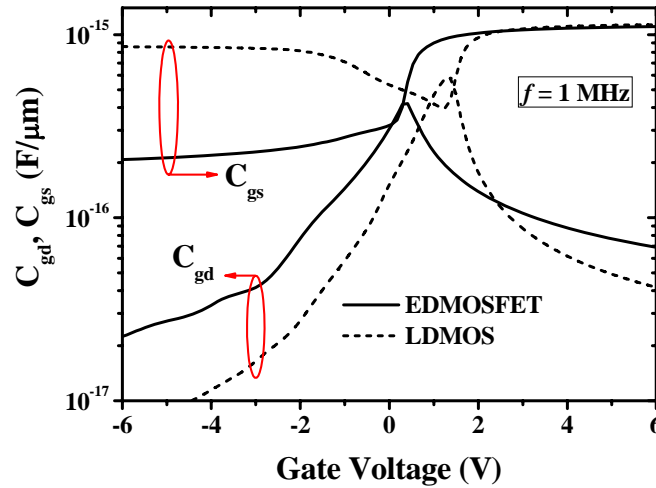


Figura 2-22 Evolución de las capacidades C_{gs} y C_{gd} en función de la V_g para un EDMOSFET y un LDMOS.

En el transistor LDMOS se observa un incremento de V_{TH} debido al aumento del dopaje de Boro en la superficie tras la implantación adicional de *body*. La principal consecuencia es el desplazamiento de C_{gs} y C_{gd} en inversión a valores mayores de V_g , tal como se aprecia en la Figura 2-22. Por otro lado, el contacto de *body* representa un camino adicional de evacuación de los huecos acumulados en el canal, de forma que C_{gs} aumentará la en el modo de acumulación.

Considerando la variación gradual de dopaje en el canal, en el paso de vaciamiento a inversión se comienza a invertir el canal por el lado del drenador antes de entrar en conducción. Esto provoca el pico de la capacidad C_{gd} observado en la Figura 2-22. Si se sigue aumentando V_{gs} se formará finalmente el canal en el lado de la fuente [12], de modo que la fuente empezará a coleccionar la mayoría de las cargas provenientes del canal provocando un aumento de C_{gs} y por consiguiente una disminución de C_{gd} .

2.3.2 Capacidades intrínsecas del transistor LDMOS

Las componentes de capacidad de un transistor LDMOS se han dividido en dos grupos: intrínsecas y extrínsecas. En esta sección nos ocuparemos de las capacidades intrínsecas, que son aquellas capacidades cuyo valor depende de la tensión aplicada a los terminales del transistor. La Figura 2-23 ilustra la sección transversal de un transistor LDMOS, como los diseñados en la sala blanca del CNM, con las capacidades intrínsecas entre los terminales de fuente, puerta y drenador.

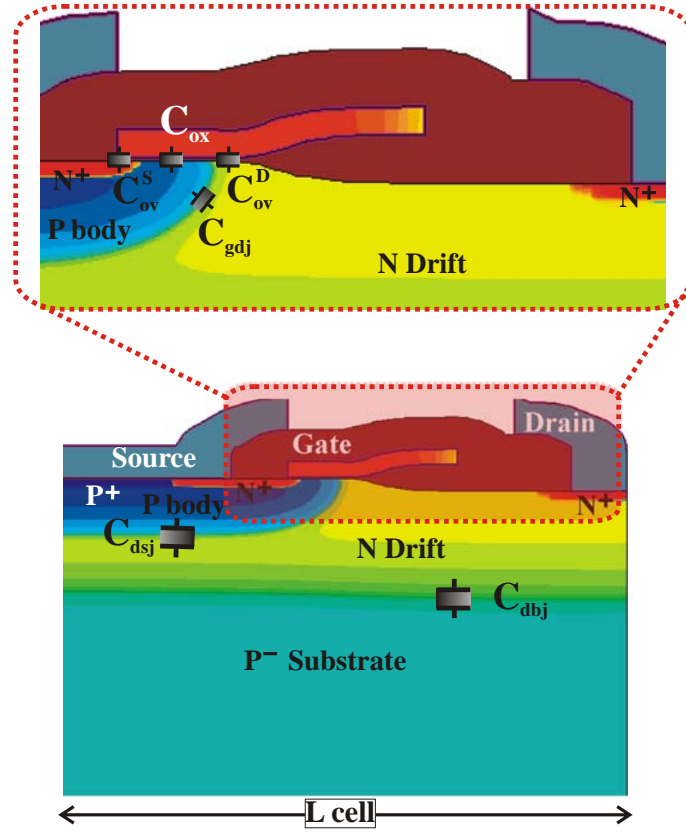


Figura 2-23 Detalle de las capacidades intrínsecas de un transistor LDMOS.

Alguna de las capacidades detalladas en la Figura 2-23 se pueden extraer analíticamente, como C_{ox} (Ecuación 2.20) o C_{ov} de fuente y de drenador (Ecuación 2.21). Otras capacidades en cambio son más complejas de extraer como las capacidades de unión (C_{gdj} y C_{dsj}), cuyo valor depende del dopaje a cada lado de la unión y de su polarización. Se puede dar una expresión general aproximada de la capacidad de unión (C_j) si nos centramos en una unión abrupta y plana:

$$C_j = \frac{\epsilon_{si} \cdot A}{W_{ZCE}} \quad (2.36)$$

donde W_{ZCE} es la anchura de la zona vaciada de la unión aproximada por:

$$W_{ZCE} = \sqrt{\frac{2\epsilon_{si}}{q} \cdot \left[\frac{1}{N_A} + \frac{1}{N_D} \right] \cdot (V_{bi} - V_{ap})} \quad (2.37)$$

donde V_{ap} es la tensión aplicada a una unión P/N y V_{bi} es el potencial de contacto o *built-in-potential* cuyo valor es:

$$V_{bi} = \frac{KT}{q} \ln \left(\frac{N_D \cdot N_A}{n_i^2} \right) \quad (2.38)$$

Considerando las expresiones anteriores se deduce que C_{gdj} disminuye a medida que aumenta V_d debido al mayor vaciamiento de la unión P-body/N-drift polarizada en

inversa. La reducción de C_{gdj} con V_d puede explicarse mediante el símil de la separación de placas de un condensador plano-paralelo. Lo mismo sucede con C_{dsj} .

2.3.3 Capacidades extrínsecas del transistor LDMOS

Las capacidades extrínsecas no dependen de la tensión aplicada al transistor y son básicamente generadas por la interacción electrostática entre los diferentes metales y la interacción de la periferia del polisilicio con la difusión N^+ , conocida como efecto *fringing*, descrito en la sección 2-2. Las capacidades extrínsecas se muestran en la Figura 2-24.

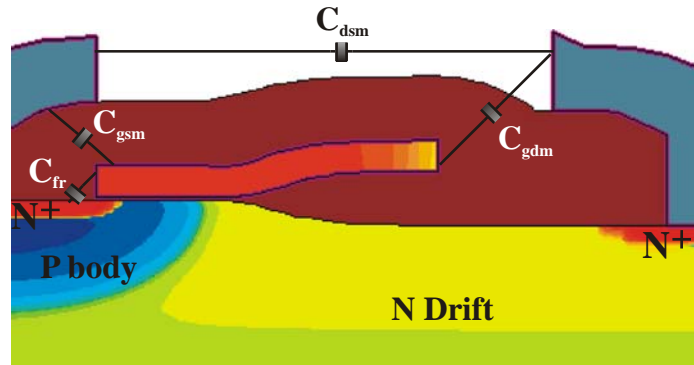


Figura 2-24 Capacidades extrínsecas de un transistor LDMOS.

La componente C_{fr} es la capacidad de *fringing* cuyo valor puede determinarse a partir de la Ecuación 2.22. En el caso de un transistor LDMOS como el de la Figura 2-24, con un óxido LOCOS crecido en la región de deriva, apenas existe efecto *fringing* entre los terminales de puerta y drenador, por lo que el valor de C_{fr} entre estos dos terminales se puede despreciar.

La interacción entre los metales de puerta-fuente, puerta-drenador y drenador-fuente se representa por las capacidades C_{gsm} , C_{gdm} y C_{dsm} , respectivamente. Estas capacidades no tienen una formulación analítica cerrada. Por tanto, es preciso recurrir a un simulador de elementos finitos como *Sentaurus* [3]. En el capítulo 4 se explica el método empleado para el cálculo aproximado de dichas capacidades.

2.3.4 Capacidades de RF

Cuando se realiza una simulación en pequeña señal de un transistor LDMOS de cuatro terminales (fuente (s), puerta (g), drenador (d) y substrato (b)) se obtiene como resultado las capacidades en función de todas las combinaciones posibles entre terminales: C_{dd} , C_{ds} , C_{dg} , C_{db} , C_{gg} , C_{gs} , C_{gd} , C_{gb} , C_{ss} , C_{sg} , C_{sd} , C_{sb} , C_{bb} , C_{bs} , C_{bg} , C_{bd} . No obstante, la respuesta en frecuencia del transistor LDMOS se puede analizar con bastante precisión a partir de únicamente tres capacidades: C_{gs} , C_{gd} y C_{ds} .

Sin embargo, en lugar de estas capacidades, los fabricantes de dispositivos de RF reportan los valores de las siguientes capacidades:

- **C_{iss}** o capacidad de entrada, es una figura indicativa de la impedancia de entrada del dispositivo y se expresa como la combinación en paralelo de C_{gs} y C_{gd} , de modo que $C_{iss} = C_{gd} + C_{gs}$. En la mayoría de los casos C_{gs} es bastante mayor que C_{gd} por lo que $C_{iss} \approx C_{gs}$.
- **C_{rss}** o capacidad Miller, también conocida como la capacidad *feedback*, toma un gran protagonismo para el caso de un transistor LDMOS, siendo igual a C_{gd} .
- **C_{oss}** o capacidad de salida, es una figura de la eficiencia y del rendimiento del ancho de banda del dispositivo y se expresa como la combinación en paralelo de C_{ds} y C_{gd} . Por lo tanto $C_{oss} = C_{ds} + C_{gd}$.

En los *Datasheets* de transistores LDMOS comerciales, los valores de estas capacidades se dan en un punto de polarización determinado, generalmente en el punto de trabajo del amplificador. En este trabajo se analizan las capacidades con el transistor en estado de saturación.

2.3.4.1 La capacidad de entrada o C_{ISS}

Asumiendo que $C_{iss} \approx C_{gs}$, se analiza C_{gs} a partir de las componentes capacitivas descritas en las secciones anteriores. C_{gs} se puede desglosar en la contribución de la interacción electrostática entre metales (C_{gsm}), la capacidad de *overlap* de surtidor (C_{ov}^S) y la capacidad del óxido de puerta (C_{ox}). Dado que estas tres capacidades se encuentran en paralelo, se obtiene que:

$$C_{gs} = C_{gsm} + C_{ox} + C_{ov}^S \quad (2.39)$$

Así pues, C_{gs} depende de factores tales como t_{ox} , de los dopajes tanto de fuente como de *body*, del área de contacto $L_{eff} \times W$, de la longitud de solapamiento (L_{ov}) de la difusión N^+ de fuente con la puerta y finalmente del área de interacción y distancia del metal de fuente con el polisilicio de puerta. Una particularidad de esta capacidad es que no varía mucho en función de V_d a una V_g dada.

En muchas referencias se especifica el valor de la frecuencia de corte (f_T) a partir de la siguiente expresión [2]:

$$f_T = \frac{g_m}{2 \cdot \pi \cdot C_{gs}} \approx \frac{g_m}{2 \cdot \pi \cdot C_{iss}} \quad (2.40)$$

Como se puede ver en la Ecuación 2.40, f_T es inversamente proporcional a la capacidad de entrada.

2.3.4.2 La capacidad de feedback o Cr_{ss}

A pesar de mostrar el valor absoluto más pequeño de entre las tres capacidades, Cr_{ss} es la capacidad con mayor protagonismo en cuanto al rendimiento en frecuencia se refiere. Además es una capacidad Miller, por lo que su valor queda multiplicado por la ganancia del transistor:

$$C_{Miller} \approx C_{gd} \cdot (1 + g_m \cdot R_L) \quad (2.41)$$

La capacidad Cr_{ss} o C_{gd} se define como la capacidad de *overlap* de la difusión N *drift* con la puerta (C_{ov}^D) en serie con la capacidad de unión entre la difusión de P *body* y de N *drift* (C_{gdj}) [13]:

$$C_{gd} = \frac{C_{ov}^D \cdot C_{gdj}}{C_{ov}^D + C_{gdj}} \quad (2.42)$$

Además, se debe añadir la contribución de la interacción entre metales (C_{gdm}) conectada en paralelo con las dos componentes anteriores:

$$C_{gd} = \frac{C_{ov}^D \cdot C_{gdj}}{C_{ov}^D + C_{gdj}} + C_{gdm} \quad (2.43)$$

A partir de las ecuaciones 2.20 y 2.21 se deduce que C_{ov}^D depende de la permitividad y del grosor del óxido de puerta, y del solapamiento de la implantación N *drift* en la puerta. Por otro lado, el valor de C_{gdj} (ecuaciones 2.36 y 2.37) se relaciona con el área de contacto y los dopajes de la unión P *body*/N *drift* en la región próxima a la puerta. A partir de estas últimas expresiones se observa que el valor de C_{gd} estará fuertemente influenciado por V_d debido a que a medida que V_d aumenta se vacía la unión P *body*/N *drift* en inversa, disminuyendo C_{gdj} y por consiguiente C_{gd} .

Si se quiere disminuir al máximo el efecto de C_{gd} es preciso reducir el dopaje de la región de deriva (N *drift*) y el solapamiento de la difusión N *drift* con la puerta. Sin embargo, estas reducciones conllevan un aumento de la R_{on} del dispositivo, dando a un compromiso C_{gd} / R_{on} a optimizar.

Parámetros tan importantes como la frecuencia máxima de funcionamiento (f_{max}) del transistor, cuyo valor aproximado se puede extraer a partir de la Ecuación 2.44 [14], y la ganancia de salida en RF dependen directamente de Cr_{ss} . Por lo tanto reducir Cr_{ss} sin aumentar la R_{on} del dispositivo es crucial para el diseño de amplificadores de RF [13].

$$\begin{aligned} f_{max} &\cong \sqrt{\frac{f_T}{8 \cdot \pi \cdot \tau_{gd}}} \\ \tau_{gd} &\cong R_g \cdot C_{gd} \\ R_g &= \rho \cdot \frac{W}{L \cdot t_p} \end{aligned} \quad (2.44)$$

donde R_g es la resistencia del terminal de puerta, siendo h el grosor de la capa de polisilicio.

2.3.4.3 La capacidad de salida o C_{oss}

Algunos artículos definen la capacidad de salida como la capacidad de unión drenador-fuente (C_{dsj}) y la capacidad de las interconexiones metálicas de drenador-fuente (C_{dsm}). Teniendo en cuenta que tanto fuente como sustrato están conectados a masa, es preciso considerar la capacidad de unión entre drenador-sustrato (C_{dbj}) como una componente más de C_{oss} . Por lo tanto, C_{oss} depende básicamente del área de la zona activa del dispositivo, de los dopajes de la región de deriva (N *drift*), de la capa *body* (P *body*) y sobretodo de sustrato (P *substrate*). Una expresión que defina C_{ds} en un transistor LDMOS en tecnología *bulk* podría ser la siguiente:

$$C_{ds} = C_{dsj} + C_{dbj} + C_{dsm} \quad (2.45)$$

El valor de C_{oss} final sería la capacidad resultante de la conexión en paralelo de C_{rss} con C_{ds} o lo que es lo mismo $C_{oss} = C_{ds} + C_{gd}$.

C_{oss} disminuye con V_d puesto que muestra la misma dependencia con las capacidades entre uniones que C_{rss} . En una primera aproximación se puede afirmar que para minimizar el valor de C_{oss} es preciso reducir el área activa del transistor o emplear tecnología *SOI* (*Silicon-on-Insulator*), *partial SOI* o *SON* (*Silicon-on-Nothing*) que evitan o disminuyen considerablemente la capacidad drenador-sustrato.

La potencia de salida de RF (P_{out}) en un transistor LDMOS depende directamente de C_{oss} . P_{out} se expresa mediante la siguiente ecuación [15]:

$$P_{out} = \frac{V_{in}^2 \cdot g_m^2 \cdot R_L}{2 \cdot (1 + \omega^2 \cdot C_{oss}^2 \cdot R_L^2)} \quad (2.46)$$

donde V_{in} es la señal AC de entrada aplicada a la puerta del transistor LDMOS y R_L es la resistencia de carga del amplificador.

2.4 Referencias

- [1] Taur Y, Ning Tak H. “*Fundamentals of modern VLSI devices*” Cambridge University Press, 1998
- [2] S.M. Sze “*Physics of semiconductor devices*” John Wiley & Sons, 1981
- [3] Sentaurus TCAD TOOL Suite Synopsys 2006
- [4] Tsividis YP. “*Operation and modelling of the MOS transistor*” McGraw-Hill Series in Electrical Engineering, 1987
- [5] Shirivastava R, Fitzpatrick K. “*A simple model for overlap capacitance of a VLSI MOS device*” IEEE Trans Electron Dev 1982;29(12): 1870–75
- [6] Wang CH. “*Identification and measurement of scaling-dependent parasitic capacitances of small-geometry MOSFET’s*” IEEE Trans Electron Dev 1996;43(6): 965–72
- [7] Sheu BJ, Ko PK. “*A capacitance method to determine channel lengths for convencional and LDD MOSFET’s*” IEEE Electron Dev Lett 1984;5(11): 491–93
- [8] Taur Y. “*MOSFET channel length: extraction and interpretation*” IEEE Trans Electrón Dev 2000;47(1): 160–70
- [9] Korma EJ, Visser K, Snijder J, Verwey JF. “*Fast determination of the effective channel length and the gate oxide thickness in polycrystalline silicon MOSFET’s*” IEEE Electron Dev Lett 1984;5(9): 368–70
- [10] Raskin JP. “*Modeling, characterization and optimization of MOSFET’s and passive elements for the synthesis of SOI MMIC’s*” Ph. D. Thesis, Université Catholique de Louvain, 1997
- [11] Valtonen R, Olsson J, De Wolf P. “*Channel length extraction for DMOS transistors using capacitance-voltage measurements*” IEEE Trans Electron Dev 2001;48(7): 1554–59
- [12] Frère SF, Rhayem J, Adawe HO, Gillon R, Tack M, Walton AJ. “*LDMOS capacitance analysis versus gate and drain biases, based on comparison between TCAD simulations and measurements*” Proc. 30th European Solid State Device Research Conference 2000
- [13] Shuming Xu. “*RF LDMOS with extreme low parasitic feedback capacitance and high hotCarrier immunity*” IEEE IEDM 1999

- [14] Larson L. E. “*Silicon technology tradeoffs for radio-frequency/mixed-signal. ‘systems-on-a-chip’*”. IEEE Trans on Electron Dev 2003;50(3):1-16
- [15] Trivedi M. “*Performance modeling of RF power MOSFET’s*” IEEE Transactions on Electron Devices. Vol. 46, No. 8, August 1999

Capítulo 3

Métodos de extracción de elementos extrínsecos

3.1 Introducción

Este capítulo tiene como objetivo exponer los diferentes métodos de extracción de parámetros que se utilizan para la obtención de las componentes de los circuitos de pequeña señal.

La evolución de las tecnologías *MOS* en el campo de las microondas ha conllevado un desarrollo de las técnicas específicas de caracterización, con el fin de obtener modelos correctos de transistor, basados en la medida de los parámetros *S*. Existen 2 tipos de modelos de transistor de RF:

- Modelo polinómico: Se obtiene a partir de medidas experimentales y describe el comportamiento del dispositivo como si de una caja negra se tratase. Este modelo es fácilmente implementable en simuladores pero no aporta información acerca del dispositivo físico.
- Circuitos físicos equivalentes de pequeña señal: Los elementos circuitales tienen un origen físico conocido, aunque no sean directamente extraíbles de la medida de los parámetros *S*.

A lo largo de este capítulo se presentan diferentes técnicas para la extracción de los circuitos físicos equivalentes de pequeña señal. La mayoría utilizan medidas de parámetros *S* a diferentes puntos de polarización, lo que se conoce como técnicas de extracción directa, (las componentes circuitales se obtienen directamente de las ecuaciones que describen el circuito).

En la definición del circuito, lo que se espera es obtener una respuesta aproximadamente lineal, con armónicos de bajo orden en el peor de los casos. Esto implica que para analizar el circuito se puede utilizar un análisis nodal y así poder aplicar el Principio de Superposición (lo que permitirá operar matricialmente con las diferentes partes del circuito).

Es necesario realizar una caracterización correcta del circuito equivalente para desarrollar metodologías de diseño de circuitos y determinar qué parámetros tienen una influencia mayor en el diseño de transistores.

En el capítulo 2 se han analizado con detalle las capacidades extrínsecas que actúan sobre una estructura *MOS* y se ha realizado una comparación entre las capacidades de estructuras *MOSFET* y *LDMOS*. La descripción completa del modelo físico tratado se presenta en el capítulo 4, por lo que aquí se presentan únicamente las diferentes componentes que forman el circuito de pequeña señal, para mostrar posteriormente los diferentes métodos que se emplean para su extracción.

3.2 Descripción de las componentes circuitales

El esquema mostrado en la Figura 3-1 permite diferenciar 4 partes determinadas por la estructura física del transistor. Las componentes con subíndice *e* hacen referencia a la parte extrínseca del transistor mientras que las que tienen subíndice *i* son las relativas a la parte intrínseca. Las 4 partes son:

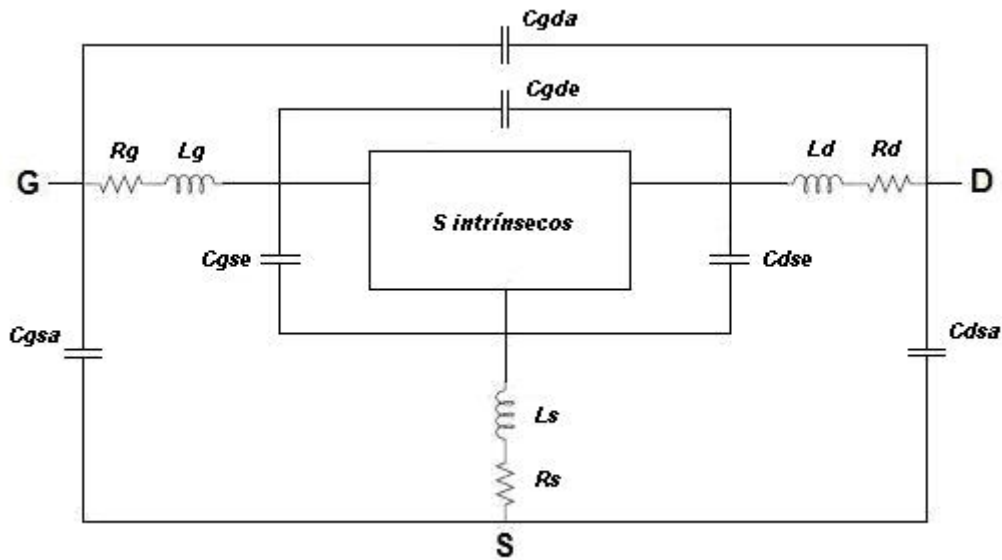


Figura 3-1 Esquema equivalente al circuito físico equivalente de pequeña señal.

1. Capacidades parásitas de acceso, debidas al acoplamiento capacitivo entre las líneas de interconexión metálicas fuera de la zona activa del transistor (capacidades asociadas a los *pads*). También incluyen las capacidades necesarias para modelar las interconexiones metálicas que conectan la zona activa del transistor con los planos de referencia. Corresponden a las componentes C_{ija} .
2. Impedancias debidas a las conexiones de las implantaciones de puerta, drenador y fuente con la parte intrínseca a través de los *pads* del transistor. Estos *pads* aportan una cierta resistencia (modelada a través de una resistencia discreta) ya que la longitud de canal del dispositivo *FET* es pequeña en comparación a la longitud de onda (μm versus cm). Al aumentar la tensión de puerta aparece un efecto inductivo, por lo que deben añadirse unas inductancias en serie (L_x) a las resistencias descritas.

R_d , R_s \rightarrow representan las pérdidas a través de los *pads* mencionados y las resistencias de contacto entre el metal y las implantaciones de drenador y fuente.

$R_g \rightarrow$ incluye la resistencia del *pad* de puerta, proporcional a W .

3. Capacidades inherentes a la estructura *LDMOS* (el origen físico es el mismo que en el caso de un *MOSFET*). Estas son las marcadas como C_{ije} . Estas capacidades, consideradas extrínsecas, modelan la capacidad de solapamiento de puerta (*overlap*), (visto en el capítulo 2).
4. Componentes intrínsecas del transistor, inherentes al comportamiento de una estructura *FET* en conducción (zona de inversión). En una primera aproximación, la estructura se puede considerar como una fuente que ofrece una corriente de salida (I_{ds}) controlada a través de una tensión aplicada en la puerta del dispositivo (V_{gs}). Es necesario añadir las imperfecciones de la fuente de corriente (conductancia de drenador) y los efectos del retardo de las cargas frente a la señal aplicada (modelo *non-quasi-static*).

Todas estas componentes se describen con más detalle en el Capítulo 4, relativo al modelado físico del transistor *LDMOS*.

Haciendo una medida de los parámetros S con el transistor en saturación, se obtiene un conjunto de vectores de los cuales se extraen todas las componentes descritas en el circuito de la Figura 3-1. Haciendo la pertinente conversión a parámetros Y o Z se obtiene la matriz de admitancias total del circuito, denominada Y_{TOTAL} .

El esquema a seguir será:

$$(Y_{TOTAL}) = (Y_{C_{ija}}) + (Z_{R_x, L_x})^{-1} + (Y_{C_{ije}}) + (Y_{int}) \quad (3.1)$$

donde cada matriz corresponde a la extracción de parámetros para cada una de las 4 partes descritas (1, 2, 3 y 4).

3.3 Método para la obtención de los parámetros de acceso (Y_a)

Los parámetros de acceso se pueden agrupar en 2 tipos: capacidades asociadas al acoplamiento capacitivo entre líneas de interconexión fuera de la zona activa del transistor, denominadas C_{ijee} , y capacidades que conectan el transistor con los planos de referencia para hacer las medidas de RF¹, denominadas C_{ija} .

Se pretende que la contribución de estas capacidades sea máxima (con el fin de poder extraer su valor), minimizando la contribución de la parte intrínseca mediante la polarización adecuada.

¹ En el Apéndice B se detalla el sistema de medida utilizado para realizar las medidas de RF.

Con unas condiciones de polarización de $V_g \ll V_{TH}$ y con $V_{ds} = 0$ V (medidas en *cold-FET*), el circuito de pequeña señal queda como se muestra en la Figura 3-2:

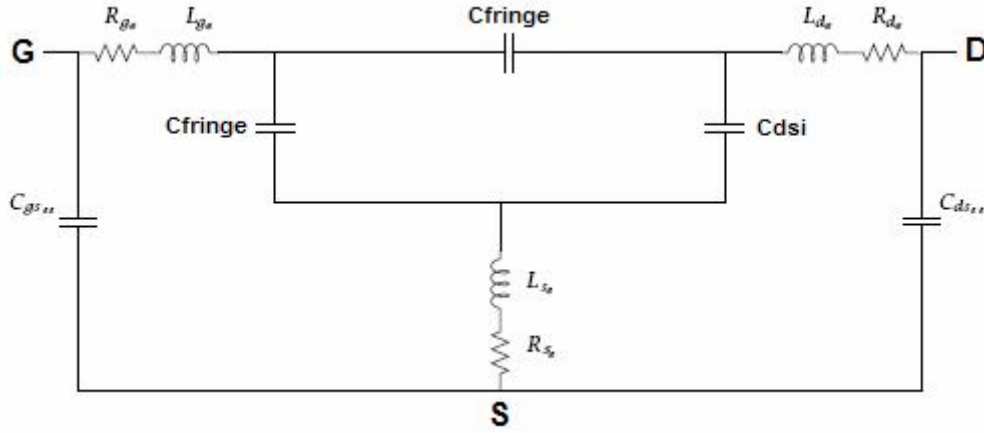


Figura 3-2 Circuito simplificado bajo en polarización *cold-FET*.

donde C_{fringe} es debida a la zona vaciada a los lados de la puerta. Para frecuencias suficientemente bajas, se pueden despreciar los efectos de las inductancias y las resistencias. En estas condiciones, los parámetros Y se pueden aproximar mediante un modelo en π de capacidades:

$$\Im(Y_{a11}) \approx j\omega(C_{11} + C_{12}) \quad (3.2)$$

$$\Im(Y_{a12}) = \Im(Y_{a21}) \approx -j\omega C_{12} \quad (3.3)$$

$$\Im(Y_{a22}) \approx j\omega(C_{22} + C_{12}) \quad (3.4)$$

Identificando las capacidades C_{ij} con el circuito equivalente bajo polarización $V_g \ll V_{TH}$, con $V_{ds} = 0$ V (Figura 3-2), se obtiene:

$$C_{11} = C_{gsee} + C_{fringe} \quad (3.5)$$

$$C_{12} = C_{fringe} \quad (3.6)$$

$$C_{22} = C_{dsee} + C_{dsi} \quad (3.7)$$

El método propuesto consiste en considerar despreciable C_{dsi} en estas condiciones de polarización, y a partir de aquí, utilizar los parámetros Y obtenidos de los parámetros S medidos a bajas frecuencias.

Se obtiene C_{gsee} y C_{dsee} por regresión lineal en frecuencia de la parte imaginaria de los parámetros Y a baja frecuencia, tal y como propone [1].

En este caso, se puede concluir que las tensiones de polarización necesarias para extraer las capacidades parásitas extrínsecas son:

$$V_g \ll V_{TH}, V_{ds} = 0 \text{ V}$$

En cuanto a las componentes capacitivas asociadas a la interconexión entre planos de referencia, bajo las mismas condiciones de polarización anteriores, la Figura 3-3 nos muestra el circuito simplificado:

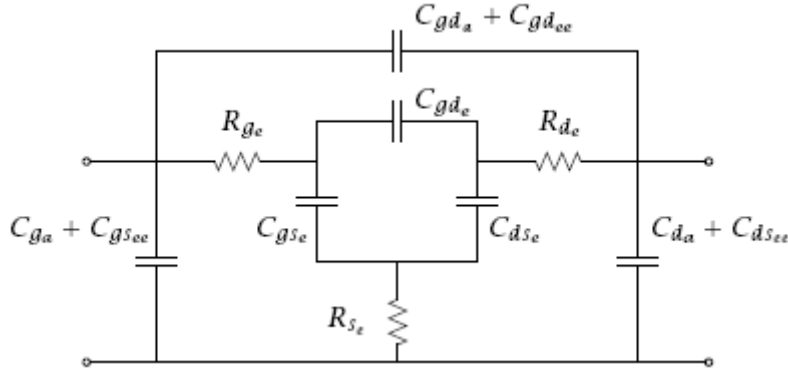


Figura 3-3 Circuito considerado para la extracción de los parámetros de acceso.

En general, $\Im(Y_{ij})$ es estrictamente proporcional a la frecuencia, por lo que no se contemplan las resistencias mostradas en la Figura 3-3 (vendrían dadas por la parte real de Y_{ij}). Analizando el circuito anterior, se puede aproximar mediante las siguientes expresiones:

$$\Im\{Y_{a11}\} \approx \omega(C_{ga} + C_{gda} + C_{gd} + C_{gs}) \quad (3.8)$$

$$\Im\{Y_{a12}\} \approx -\omega(C_{gda} + C_{gd}) \quad (3.9)$$

$$\Im\{Y_{a22}\} \approx \omega(C_{da} + C_{gda} + C_{gd} + C_{ds}) \quad (3.10)$$

Donde:

$$C_{gd} = C_{gde} + C_{gdee} \quad (3.11)$$

$$C_{gs} = C_{gse} + C_{gsee} \quad (3.12)$$

$$C_{ds} = C_{dse} + C_{dsee} \quad (3.13)$$

Las ecuaciones (3.8 – 3.10) no son suficientes para determinar los parámetros de acceso C_{ija} , ya que el resultado incluye las capacidades extrínsecas.

Este inconveniente puede solventarse utilizando diferentes transistores con la misma longitud de puerta (L), el mismo número de *fingers* y diferentes amplitudes (W). Se puede hacer una regresión lineal entre la capacidad efectiva $\Im(Y_{ij})/\omega$ y las diferentes amplitudes de los transistores.

Dado que las capacidades extrínsecas son proporcionales a la amplitud del dispositivo, las intersecciones entre las líneas formadas por las capacidades efectivas y el eje darán los valores para las C_{ija} , tal y como se propone en [2].

3.4 Métodos para la obtención de las impedancias asociadas a los $pads$ ($Z\sigma$)

3.4.1 Modelo físico del LDMOS

Para que las resistencias e inductancias presenten valores elevados es necesario crear canal en el transistor LDMOS ($V_g > V_{TH}$). De este modo conseguimos modo de inversión (conducción del transistor) y se aplica la condición de media en frío ($V_{ds} = 0$) con el objetivo de que no exista circulación de corriente a través del canal (minimizando el efecto de la parte intrínseca).

En estas condiciones, el circuito de pequeña señal queda como:

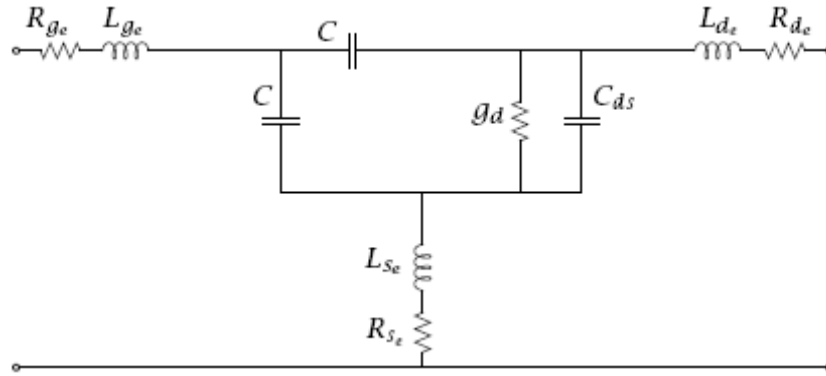


Figura 3-4 Circuito equivalente en inversión.

Haciendo medidas a diferentes tensiones de puerta con la condición $V_g > V_{TH}$, y asumiendo que $C_{gd} \approx C_{gs} \approx C$ se pueden extraer los valores de R_{xe} y L_{xe} de los parámetros Z_{ij} mediante el análisis nodal de la Figura 3-4:

$$\Re\{Z_{22} - Z_{12}\} = R_{de} + \frac{1}{2g_d} \quad (3.14)$$

$$\Re\{Z_{12}\} = R_{se} + \frac{1}{2g_d} \quad (3.15)$$

$$\Re\{Z_{11} - Z_{12}\} = R_{ge} - \frac{1}{4g_d} \quad (3.16)$$

$$\Im\left\{\frac{Z_{22} - Z_{12}}{\omega}\right\} = L_{de} + \frac{C + 2C_{ds}}{4g_d^2} \quad (3.17)$$

$$\Im\left\{\frac{Z_{12}}{\omega}\right\} = L_{se} + \frac{C + 2C_{ds}}{4g_d^2} \quad (3.18)$$

$$\Im\left\{\frac{Z_{11} - Z_{12}}{\omega}\right\} = L_{ge} - \frac{C_{ds}(C + 2C_{ds})}{4g_d^2 C} - \frac{1}{2C\omega} \quad (3.19)$$

donde,

$$\left(\frac{-C^2 - 2CC_{ds}}{4g_d^2 C^2} \omega^2 \right) \ll 1 \quad (3.20)$$

Tal y como se propone en [2], para obtener la condición anterior (3.20), es preciso garantizar que $V_g > 2 \cdot V_{TH}$. La conductancia g_d es directamente proporcional a V_g en régimen lineal:

$$g_d = \frac{\mu W C_{ox}}{L} (V_{gs} - V_{TH} - \eta V_{ds}) \quad (3.21)$$

Los parámetros Z_{ij} son inversamente proporcionales a la tensión de puerta en directo, de forma que las resistencias e inductancias se extraen mediante regresión lineal de las correspondientes partes reales e imaginarias versus $\frac{1}{V_{gs} - V_{TH}}$ para las resistencias y

$\frac{1}{(V_{gs} - V_{TH})^2}$ para las inductancias.

En estas condiciones, la polarización resultante para extraer las resistencias e inductancias extrínsecas es (para diferentes tensiones de puerta que cumplan la condición (3.20)):

$$V_g > 2 \cdot V_{TH} \text{ con } V_{ds} = 0 \text{ V}$$

3.4.2 Modelo en línea distribuida uniforme de canal FET

Otro método utilizado para la extracción de estas componentes extrínsecas es mediante la modelación del canal FET como una línea de transmisión distribuida uniforme, tal y como propone [1]. En este caso, y haciendo que la tensión de drenador sea nula (método *cold-FET*) se obtienen los parámetros Z_{ij} del transistor LDMOS para tensiones de puerta positivas y menores que V_{TH} .

El canal FET modelado como línea distribuida uniforme se muestra en la Figura 3.5 [8] y [9]:

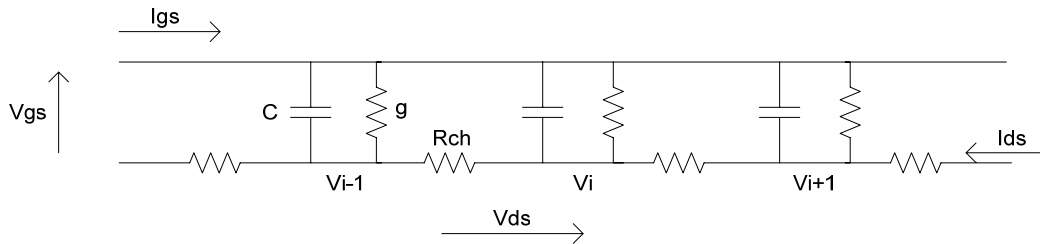


Figura 3-5 Modelo de canal FET en línea distribuida uniforme.

donde C es la capacidad de puerta debida a la zona de vaciamiento, R_{ch} es la resistencia serie de línea, asociada al canal, y g es la conductancia ($1/R$) asociada al terminal de puerta.

Si $V_{ds} = 0$ V, los elementos del circuito anterior son constantes a lo largo del canal, con lo que se puede suponer que la línea es uniforme (considerando I_{gs} pequeña).

Si a esta línea distribuida se le consideran resistencias e inductancias parásitas extrínsecas debidas a las contribuciones de los *pads* (Figura 3-6), las constantes de propagación e impedancia de la línea son [1]:

$$\begin{aligned}\gamma L &= \sqrt{R_{ch}(j\omega C + g)} \\ Z &= \sqrt{\frac{R_{ch}}{j\omega C + g}}\end{aligned}\quad (3.22)$$

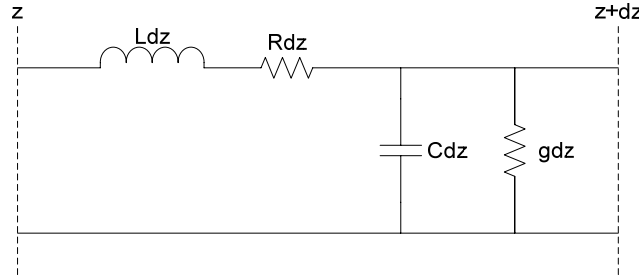


Figura 3-6 Modelo de línea distribuida uniforme con impedancias.

Si se consideran las expresiones conocidas para una línea de transmisión ideal [9],

$$\begin{aligned}\gamma &= \alpha + j\beta = \sqrt{ZY} \\ Z_0 &= \sqrt{\frac{Z}{Y}} = R_0 + jX_0\end{aligned}\quad (3.23)$$

se pueden generalizar sin tener en cuenta el carácter complejo de γ y Z_0 , por lo que la impedancia de entrada de una sección de línea de longitud l con carga Z_l viene dada por:

$$Z_i = Z_0 \frac{Z_l \cosh(\gamma l) + Z_0 \sinh(\gamma l)}{Z_0 \cosh(\gamma l) + Z_l \sinh(\gamma l)} = Z_0 \tanh(\gamma l + dz) \quad (3.24)$$

donde

$$dz = (\tanh)^{-1} \left(\frac{Z_l}{Z_0} \right) \quad (3.25)$$

Teniendo en cuenta estas expresiones y analizando las Figuras 3-5 y 3-6, se obtiene la matriz de impedancias Z_{ij} , que es la necesaria para la extracción de las componentes parásitas extrínsecas consideradas:

$$(Z) = Z_0 \begin{pmatrix} \frac{\cosh(\gamma l)}{\sinh(\gamma l)} & \frac{\cosh(\gamma l)-1}{\sinh(\gamma l)} \\ \frac{\cosh(\gamma l)-1}{\sinh(\gamma l)} & 2 \frac{\cosh(\gamma l)-1}{\sinh(\gamma l)} \end{pmatrix} \quad (3.26)$$

Desarrollando en serie de Taylor las funciones hiperbólicas se obtiene una expresión simplificada para los parámetros Z_{ij} , para corrientes de puerta no muy elevadas (condición para el desarrollo de Taylor).

$$\begin{aligned} Z_{11} &\approx \frac{R_{ch}}{3} + \Delta R_{11}(\omega) - j\omega C_{11}(\omega) \\ Z_{12} = Z_{21} = \frac{Z_{22}}{2} &\approx \frac{R_{ch}}{2} + \Delta R_{12}(\omega) - j\omega C_{12}(\omega) \end{aligned} \quad (3.27)$$

donde,

$$\begin{aligned} \Delta R_{11} &= \frac{g}{g^2 + \omega^2 C^2} + \frac{2R_{ch}^3}{945}(g^2 - \omega^2 C^2) \\ C_{11} &= C \left(-\frac{1}{g^2 + \omega^2 C^2} + \frac{R_{ch}^2}{45} - \frac{4gR_{ch}^3}{945} \right) \end{aligned} \quad (3.28)$$

$$\begin{aligned} \Delta R_{12} &= -\frac{R_{ch}^3}{160}(g^2 - \omega^2 C^2) - \frac{gR_{ch}^2}{8} \\ C_{12} &= C \left(\frac{gR_{ch}^3}{80} + \frac{R_{ch}^2}{8} \right) \end{aligned} \quad (3.29)$$

Una vez conocida la matriz Z_{ij} , se pueden extraer los valores de las resistencias e inductancias extrínsecas utilizando el método mostrado en el apartado 3.4.1 (en función de los elementos de la línea de transmisión) o mediante el método utilizado para el desarrollo de este proyecto y que se mostrará con detalle en el capítulo 4, así como la extracción de la parte intrínseca del modelo completo de pequeña señal.

3.5 Referencias

- [1] Lázaro A, *Modelado lineal en pequeña señal de transistores MESFET y HEMT*, Ph. D. Tesis, ETSETB, Universitat Politècnica de Catalunya, 1999
- [2] Dehan M, *Characterization and modeling of SOI RF integrated components*, Ph. D. Thesis, Université Catholique de Louvain, 2003
- [3] Raskin JP, *Modeling, characterization and optimization of MOSFET's and passive elements for the synthesis of SOI MMIC's*, Ph. D. Thesis, Université Catholique de Louvain, 1997
- [4] Shirivastava R, Fitzpatrick K, *A simple model for the overlap capacitance of a VLSI MOS device*, IEEE transactions on electron devices, VOL. ED-29, nº 12, december 1982
- [5] Sheu BJ, Ko PK, *A capacitance method channel to determine channel lengths for conventional and LDD MOSFET's*, IEEE transactions on electron devices, VOL. EDL-5, nº 11, november 1984
- [6] Wang CH, *Identification and measurement of scaling-depend parasitic capacitances of small-geometry MOSFET's*, IEEE transactions on electron devices, VOL. 43, nº 6, june 1996
- [7] Lovelace D, Costa J, Camilleri N, *Extracting small-signal model parameters of silicon MOSFET transistors*, Motorola, Inc., 2200 West Broadway Road, Mesa, AZ 85202
- [8] Pozar DM, *Microwave Engineering*, Ed. John Wiley & Sons, INC. 1998
- [9] Bará J, *Circuitos de microondas con líneas de transmisión*, Edicions UPC, 1996
- [10] Vestling L, Ankarcrona J, *A general small-signal series impedance extraction technique*, IEEE Microwave and wireless components letters, VOL 12, nº 7, July 2002
- [11] Vestling L, Edholm B, Olsson J, Tiensuu S, Soderbarg A, *A novel high-frequency high-voltage LDMOS transistor using an extended gate resurf technology*, Solid State Electronics, Angstrom Laboratory, Uppsala University, Sweden
- [12] Vestling L, Ankarcrona J, Olsson J, *Analysis and design of a low-voltage high-frequency LDMOS transistor*, IEEE transactions on electron devices, VOL 49, nº 6, June 2002

- [13] Lee S, Yu HK, Kim CS, Koo JG, Nam KS, *A novel approach to extracting small-signal model parameters of silicon MOSFET's*, IEEE Microwave and guided wave letters, VOL 7, nº 3, March 1997
- [14] Dambrine G, Cappy A, Heliodore F, Palyez E, *A new method for determinig the FET small-signal equivalent circuit*, IEEE transactions on microwave theory and techniques, VOL 36, nº7, July 1988
- [15] Enz C, Cheng Y, *MOS transistor modelling for RF IC design*, IEEE transactions on solid-state circuits, VOL 35, nº2, February 2000

Capítulo 4

Extracción de parámetros de un modelo circuital de pequeña señal

4.1 Modelado del transistor *LDMOS*

En el capítulo anterior se han descrito los diferentes métodos de extracción de parámetros de pequeña señal en función de la zona de operación del transistor. En este capítulo se describe el modelo circuital en pequeña señal ajustado al transistor *LDMOS* fabricado en la Sala Blanca del CNM. Para ello se ha realizado una caracterización física de los transistores y las correspondientes simulaciones tecnológicas para determinar con mayor precisión ciertos aspectos relacionados con las capacidades extrínsecas. La extracción de todos los elementos del modelo circuital se ha llevado a cabo a partir de los resultados experimentales de los parámetros *S* (*Scattering parameters*) en función de la frecuencia a diferentes puntos de polarización. Se han realizado medidas en frío o *cold* ($V_g < V_{TH}$, $V_g = 0$) para la extracción de los elementos parásitos de las pistas de acceso y *pads* del transistor a medir, y medidas en caliente o *hot* ($V_g > V_{TH}$, $V_d > 0$) mediante las que se obtienen los parámetros inherentes al propio dispositivo. En resumen, se han medido los parámetros *S* a diferentes polarizaciones y se ha procedido a su tratamiento analítico con el fin de extraer todos los parámetros circuitales de un modelo de pequeña señal.

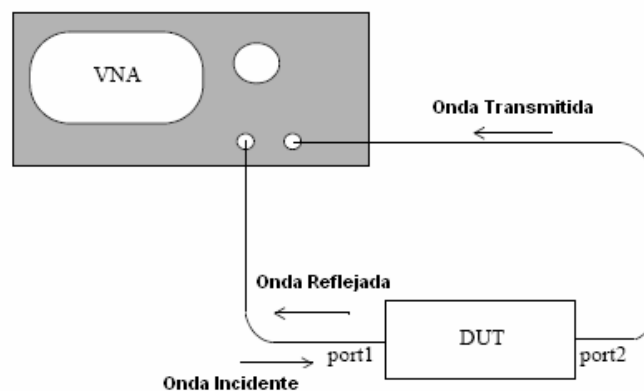


Figura 4-1 Esquema de funcionamiento del VNA.

Para caracterizar un dispositivo en AC y obtener los parámetros S es preciso utilizar un analizador de redes vectorial, VNA (*Vector Network Analyzer*), cuyo funcionamiento se basa en el envío de una onda incidente y la posterior medida de la magnitud y la fase de la onda reflejada¹, y la onda transmitida, tal como se muestra la Figura 4-1:

Para realizar las medidas se considera el transistor $LDMOS$ como un circuito bipuerto como el representado en la Figura A-1 del Apéndice A, que obliga a emplear dos canales del VNA para poder caracterizar el dispositivo en AC. Las medidas experimentales dan como resultado dos coeficientes de reflexión (S_{11} y S_{22}) y dos coeficientes de transmisión (S_{12} , S_{21}), cuya representación matricial es la siguiente:

$$S = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \quad (4.1)$$

donde S_{ij} es la potencia medida en el puerto i cuando la onda se aplica en el puerto j . El VNA da el resultado de cada parámetro S en magnitud y fase. Una vez obtenida la matriz S , ésta se puede emplear para calcular diferentes ganancias en pequeña señal, tales como la ganancia en corriente (G_i) y la ganancia unilateral (U). En este trabajo se realiza una conversión de parámetros S a parámetros Y (admitancias) y a parámetros Z (impedancias) según convenga para su posterior análisis.

La diferencia fundamental entre un transistor $LDMOS$ y un $MOSFET$ convencional es la región de deriva (L_{DD}) que separa región de canal del drenador, rompiendo la simetría del dispositivo. En un primer nivel de análisis se va a considerar el modelo equivalente circuital de un $MOSFET$.

4.1.1 Circuito equivalente preliminar

En primera aproximación, un transistor $MOSFET$ puede asimilarse a una fuente de corriente (I_{ds}) entre fuente y drenador, dependiente de la tensión de puerta (V_{gs}), tal como se ilustra en Figura 4-3,

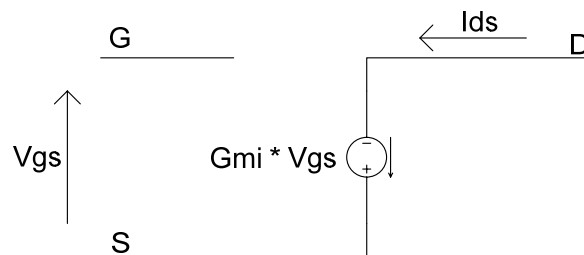


Figura 4-3 Primera aproximación circuital de un transistor $MOSFET$ convencional.

donde la fuente de corriente depende de la transconductancia (g_{mi}) que da cuenta de la variación de corriente en el canal del $MOSFET$ en función de la tensión de puerta aplicada.

¹ Una descripción más amplia sobre el funcionamiento del VNA y de su calibración se muestra en el Apéndice B.

La transconductancia se define por la siguiente expresión:

$$g_{mi} = \left. \frac{\partial i_{ds}}{\partial v_{gs}} \right|_{v_d=v_s=0} \quad (4.2)$$

donde el subíndice i indica que se trata de un elemento intrínseco al dispositivo.

Si se analiza el transistor *MOSFET* considerando las no-idealidades es preciso recurrir a modelos más complejos, como los descritos a continuación:

4.1.2 Modelo *quasi-static*

Considerando las influencias mutuas entre los diferentes electrodos del transistor *MOSFET*, en segunda aproximación éste se modela mediante capacidades dependientes de la polarización y relacionadas con las variaciones de carga en función de la tensión en cada uno de los terminales [1]. También se deben incluir las imperfecciones en el *MOSFET*, añadiendo una conductancia de salida (G_{dsi}). El circuito equivalente resultante, conocido como modelo *quasi-static*, se muestra en la Figura 4-4.

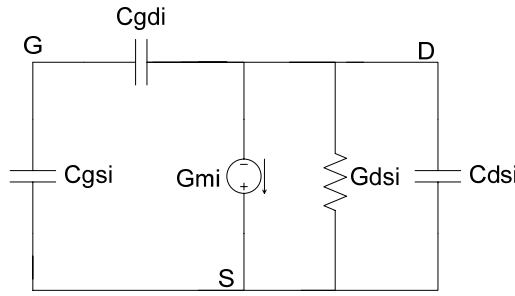


Figura 4-4 Modelo *quasi-static* de un transistor *MOSFET*.

Las capacidades intrínsecas entre puerta, drenador y fuente vienen definidas por [1]:

$$C_{gdi} = - \left. \frac{\partial q_g}{\partial v_d} \right|_{v_s=v_g=0} \quad C_{dgi} = - \left. \frac{\partial q_d}{\partial v_g} \right|_{v_s=v_d=0} \quad (4.3)$$

$$C_{gsi} = - \left. \frac{\partial q_g}{\partial v_s} \right|_{v_d=v_g=0} \quad C_{sgi} = - \left. \frac{\partial q_s}{\partial v_g} \right|_{v_s=v_d=0} \quad (4.4)$$

$$C_{dsi} = - \left. \frac{\partial q_d}{\partial v_s} \right|_{v_d=v_g=0} \quad C_{sdi} = - \left. \frac{\partial q_s}{\partial v_d} \right|_{v_s=v_g=0} \quad (4.5)$$

Estas relaciones sólo pueden emplearse en condiciones ‘quasi-estáticas’, es decir que la frecuencia aplicada a la fuente de pequeña señal sea lo suficientemente baja para que las cargas respondan de manera instantánea a la señal aplicada ($f < 100$ Hz). En el capítulo 2 se ha descrito la diferencia entre el régimen *quasi-static* y *non-quasi-static*, mediante simulaciones de la característica C-V de un *MOS*.

El valor de la conductancia viene dado por la Ecuación 4.5:

$$G_{dsi} = - \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_s=V_g=0} \quad (4.6)$$

A priori, las capacidades no tienen porque ser recíprocas; de hecho, considerando un *MOSFET* ideal en saturación, una variación en la tensión de drenador no provoca ninguna variación en la corriente de salida, por lo que se deduce que la capacidad entre drenador y puerta (C_{gd}) debería ser nula. En cambio, una variación en la tensión de puerta si puede producir variaciones de carga en el terminal de drenador, es decir en la corriente de salida, de modo que C_{dg} no es nula, dando lugar a $C_{gdi} \neq C_{dgi}$. La no reciprocidad puede corregirse añadiendo una componente a la transconductancia: el factor C_m [1].

$$\begin{aligned} C_m &= C_{dg} - C_{gd} \\ g_m' &= g_m - j\omega C_m \end{aligned} \quad (4.7)$$

Normalmente, este factor de no reciprocidad entre capacidades se suele negligir cuando se estudia el transistor *MOSFET* en el rango de las microondas, como se propone en [2].

4.1.3 Modelo non-quasi-static

En el modelo ‘quasi-estático’ las cargas responden de manera inmediata a la señal aplicada ($f < 100$ Hz). A frecuencias mayores, las cargas no pueden de seguir la señal aplicada de forma instantánea. En el modelo *non-quasi-static* (Figura 4-5) entra en juego este retardo, representado por la variable τ , que modifica el valor de g_{mi} y de la resistencia R_{gsi} que añade un retardo al terminal de fuente. Para extender el modelo del transistor *MOSFET* a un transistor *LDMOS*, se debe incluir una componente resistiva entre la entre puerta y el drenador (R_{drift}) que emula el efecto de la región de deriva. El esquema final del modelo de un transistor *LDMOS* se muestra en la Figura 4-5:

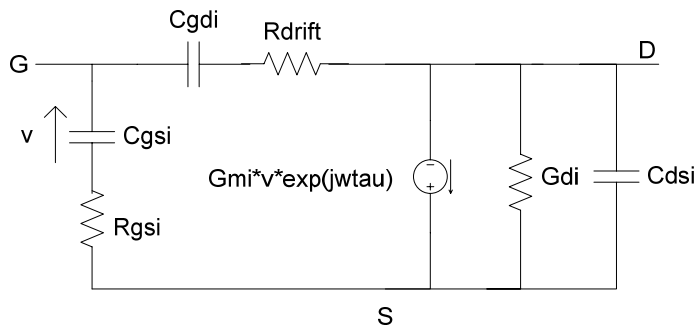


Figura 4-5 Modelo non-quasi-static de un transistor LDMOS.

4.1.3.1 Componente R_{drift}

La componente R_{drift} del modelo *non-quasi-static* de la Figura 4-5 es la resistencia de la región de deriva o región L_{DD} (*Light Doped Drift*) del transistor *LDMOS*. La separación entre el drenador y la región de canal repercute en un comportamiento muy diferente al obtenido en un transistor *MOSFET*. La influencia de la región L_{DD} en las capacidades parásitas, sobretodo en lo que se refiere a C_{gd} , es un claro indicador de la importancia de poder extraer información directa de dicha región que se comporta, en primera aproximación, como una resistencia variable en función de la tensión aplicada. Por esta razón, la región L_{DD} se equipara a una resistencia en el circuito en pequeña señal.

4.1.4 Capacidades extrínsecas

Una vez descrita la estructura intrínseca del transistor, es preciso añadir la aportación de las capacidades extrínsecas (exteriores al dispositivo) al modelo de pequeña señal.

Las capacidades extrínsecas, ilustradas en la Figura 2-22, son aquellas que no dependen de la tensión aplicada al transistor. Estas capacidades son básicamente consecuencia de la interacción electrostática entre los diferentes electrodos del transistor. Algunas de estas capacidades se pueden obtener analíticamente, como es el caso de C_{fr} (Ecuación 2-22), mientras que otras (C_{gsm} , C_{gdm} y C_{dsm}) requieren el uso de simuladores de elementos finitos [3] para poder extraer su valor.

Las imágenes *SEM* (*Scanning Electrón Microscopy*) de los transistores *LDMOS* fabricados en la Sala Blanca del CNM han permitido ajustar con precisión los parámetros tecnológicos necesarios para la simulación de las capacidades extrínsecas, como la distancia entre metales (crucial para C_{gsm}). Así, el transistor *LDMOS* simulado es prácticamente idéntico al fabricado. La imagen *SEM* de la Figura 4-6 muestra la celda básica de un transistor *LDMOS*. Un detalle ampliado de la región de puerta-fuente se muestra en la Figura 4-7.

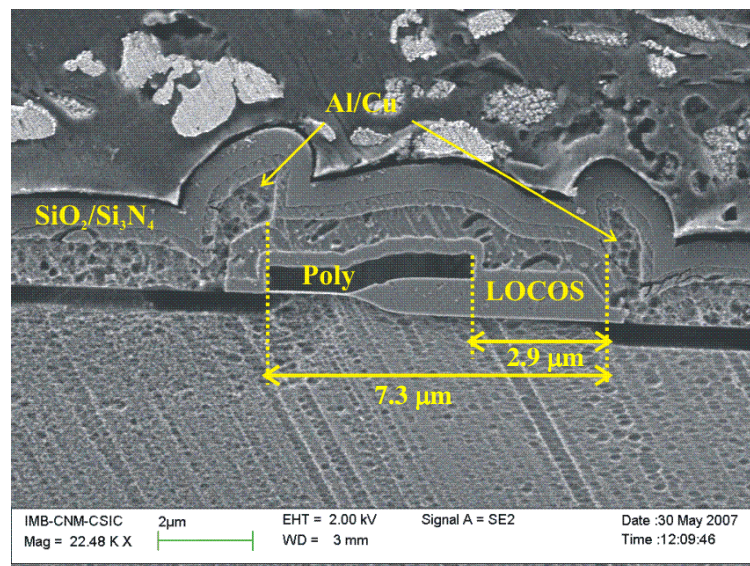


Figura 4-6 Imagen SEM de la celda básica de un transistor *LDMOS*.

El método de extracción escogido consiste en realizar dos simulaciones en pequeña señal de dos transistores *LDMOS*, polarizados mediante una modificación del método habitual conocida como *cold-FET*² ($V_{GS} = V_{DS} = 0$ V). La primera estructura (Figura 4-8 (a)) debe ser lo más parecida posible a la imagen *SEM*, es decir, utilizando como contactos bloques de aluminio cubiertos de SiO_2 y respetando las distancias entre contactos medidas en la imagen *SEM*. De esta forma se consigue una interacción electroestática entre terminales lo más próxima a la experimental. En la segunda estructura (Figura 4-8 (b)) los bloques de Aluminio han sido sustituidos por contactos virtuales y se ha eliminando el recubrimiento de SiO_2 . Estos contactos sin volumen y sin recubrimiento minimizan la interacción entre los distintos terminales del dispositivo.

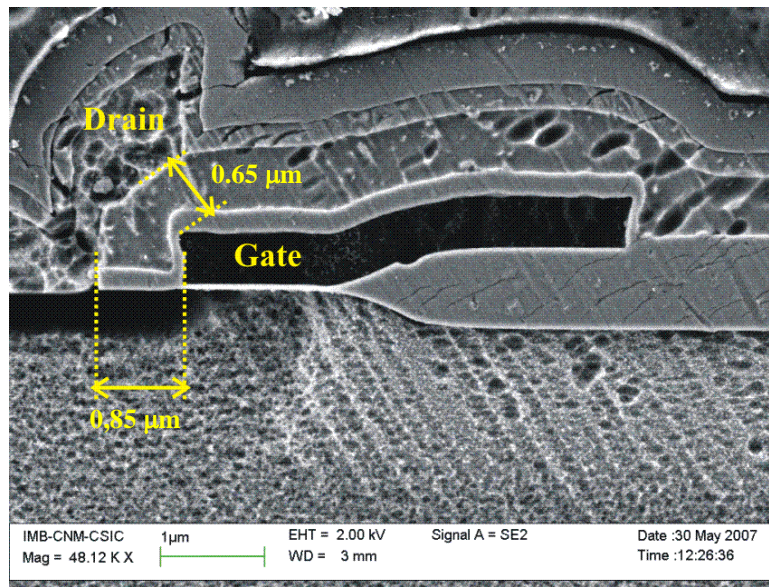


Figura 4-7 Imagen *SEM* de la región de puerta de un transistor *LDMOS*.

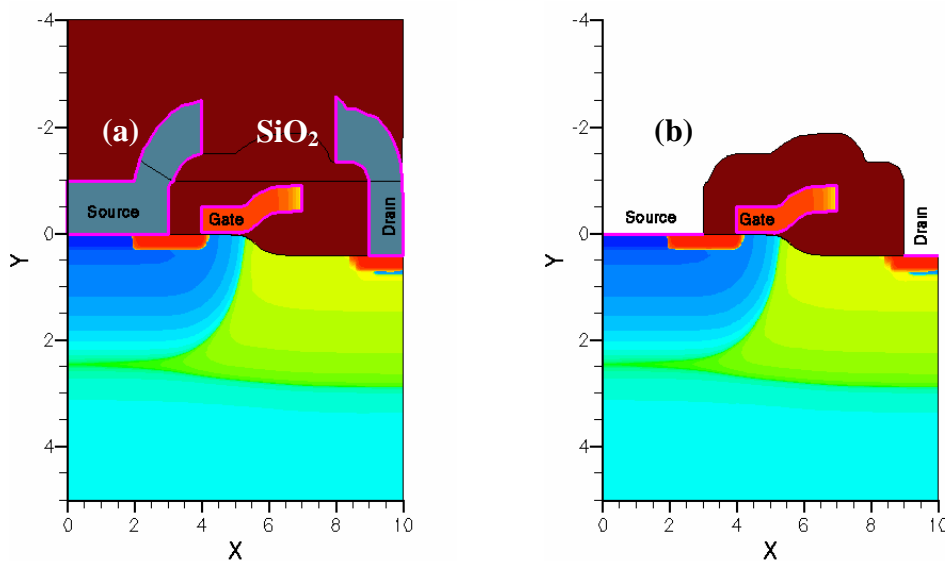


Figura 4-8 Estructuras *LDMOS* empleadas para la extracción, mediante simulaciones en pequeña señal, de las capacidades extrínsecas C_{gs} , C_{gd} , C_{ds} .

² En general, el método *cold-FET* consiste en polarizar $V_{gs} \ll V_{TH}$ y $V_{ds} = 0$ V.

Si se considera una interacción casi nula entre metales en la estructura de la Figura 4-8 (b), se puede suponer que las capacidades extrínsecas C_{gsm} , C_{gdm} y C_{dsm} serán nulas. Por lo tanto, teniendo en cuenta que las estructuras de las Figuras 4-8 (a) y (b) se diferencian únicamente en la interacción entre metales, se pueden extraer C_{gsm} , C_{gdm} y C_{dsm} restando los resultados de las capacidades C_{gs} , C_{gd} y C_{ds} obtenidos en las dos simulaciones.

$$C_{gsm} = C_{gs(1)} - C_{gs(2)} \quad (4.8)$$

$$C_{gdm} = C_{gd(1)} - C_{gd(2)} \quad (4.9)$$

$$C_{dsm} = C_{ds(1)} - C_{ds(2)} \quad (4.10)$$

El subíndice (1) y (2) indica las simulaciones con volumen de Aluminio y con contactos virtuales. Los resultados de C_{gs} , C_{gd} y C_{ds} de las dos simulaciones y la consiguiente extracción de C_{gsm} , C_{gdm} y C_{dsm} se ilustran en la Figura 4-9 considerando una anchura de canal (W) igual a $1280 \mu\text{m}$.

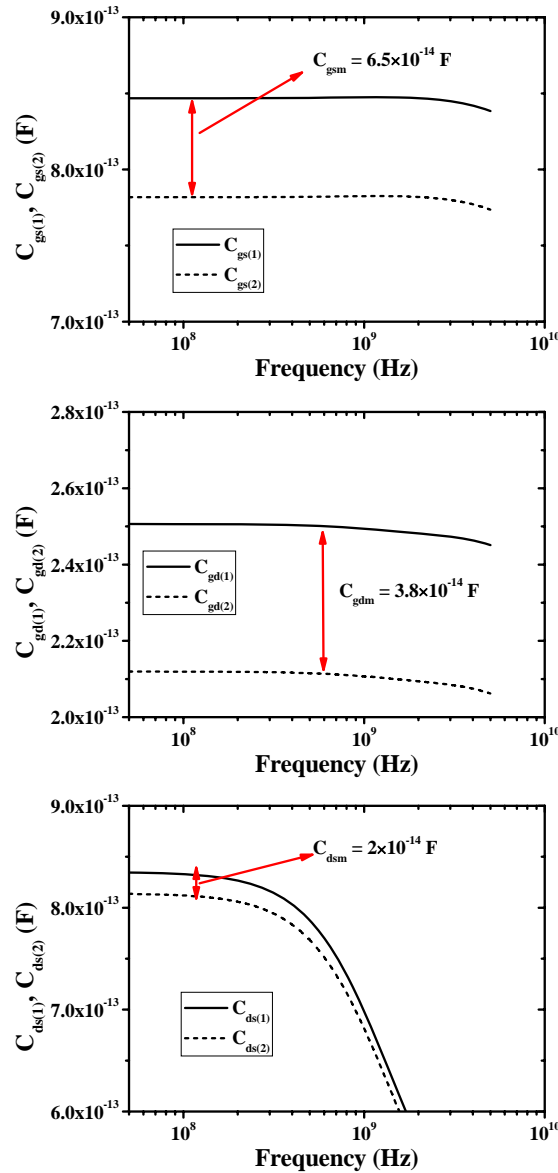


Figura 4-9 Resultado de las simulaciones en pequeña señal de C_{gs} , C_{gd} y C_{ds} en función de la frecuencia para una estructuras LDMOS con $W=1280 \mu\text{m}$ con y sin interacción de metales.

Los resultados de la Figura 4-9 muestran que tanto C_{gsm} como C_{gdm} prácticamente no varían con la frecuencia. Por el contrario, C_{dsm} disminuye ligeramente a medida que la frecuencia aumenta. En este estudio se toma el valor de C_{dsm} como el correspondiente a la región donde se mantiene constante ($f < 1 \times 10^8$ Hz). Los valores de capacidad obtenidos son: $C_{gsm} = 6.5 \times 10^{-14}$ F, $C_{gdm} = 3.8 \times 10^{-14}$ F, $C_{dsm} = 2 \times 10^{-14}$ F. El valor de C_{fr} se obtiene aplicando la Ecuación 2-22 para un grosor de polisilicio (t_p) igual a $0.48 \mu\text{m}$, un óxido de puerta (t_{ox}) de 40 nm (valores extraídos de las imágenes SEM) y para una $W = 1280 \mu\text{m}$. El resultado es $C_{fr} \approx 7.2 \times 10^{-14}$ F.

De acuerdo con el dibujo de las capacidades extrínsecas de la Figura 2-22, C_{fr} solo afecta a los terminales de puerta y fuente y se encuentra en paralelo con C_{gsm} . El resultado final de las capacidades extrínsecas es:

$$C_{gse} = C_{gsm} + C_{fr} \approx 1.37 \times 10^{-13} \quad (4.11)$$

$$C_{gde} = C_{gdm} \approx 3.8 \times 10^{-14} \quad (4.12)$$

$$C_{dse} = C_{dsm} \approx 2 \times 10^{-14} \quad (4.13)$$

Estas capacidades se añaden al modelo *non-quasi-static*, dando lugar a un modelo más detallado del transistor LDMOS incluyendo las capacidades extrínsecas:

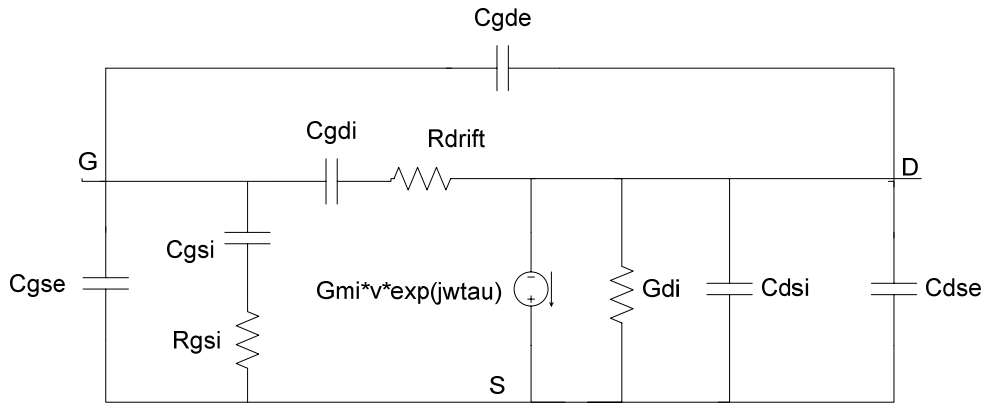


Figura 4-10 Modelo de un transistor LDMOS con capacidades extrínsecas.

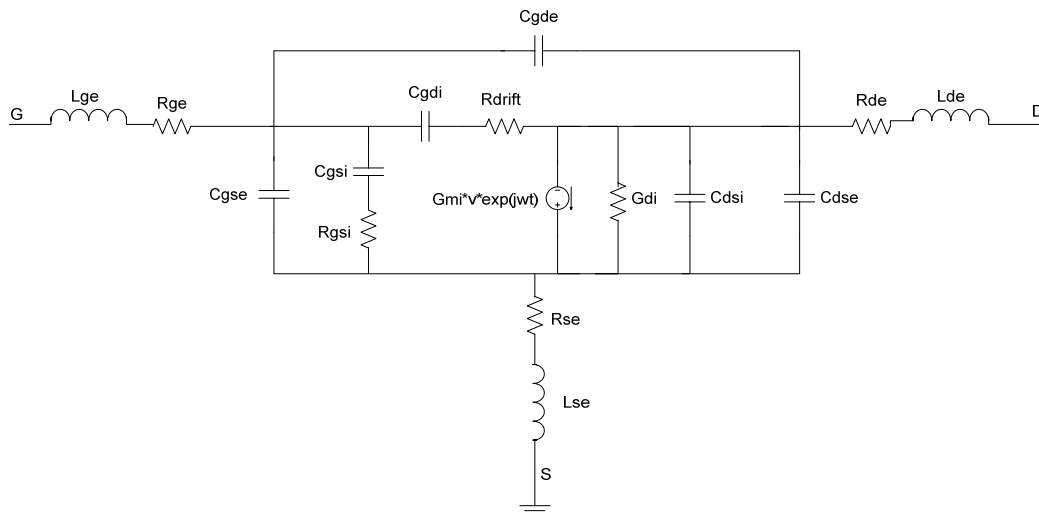


Figura 4-11 Modelo equivalente circuital de pequeña señal con la contribución de los pads.

4.1.5 Contribución de los pads

El siguiente paso para obtener el modelo completo circuital en pequeña señal del transistor *LDMOS* es añadir la contribución de los *pads* de soldadura, representada por una impedancia formada por una resistencia y una inductancia en serie que se añade a cada uno de los terminales de acceso. El origen de la impedancia de los *pads* se expone detalladamente en el capítulo 3. Añadiendo estas impedancias a sus respectivos terminales, el circuito en pequeña señal queda tal y como se muestra la Figura 4-11:

4.1.6 Parámetros de acceso

La obtención de la matriz de parámetros S es crucial para el modelado del transistor *LDMOS*, aportando, además, las componentes parásitas debidas a los *pads* y las pistas de acceso al transistor. Estas componentes extrínsecas incorporan al circuito de pequeña señal los parásitos generados por las interconexiones metálicas entre la zona activa del transistor *LDMOS* y los planos de referencia. Tal y como se comenta en [4] y [7], la influencia de los parámetros de acceso es pequeña y principalmente capacitiva (C_{ija}).

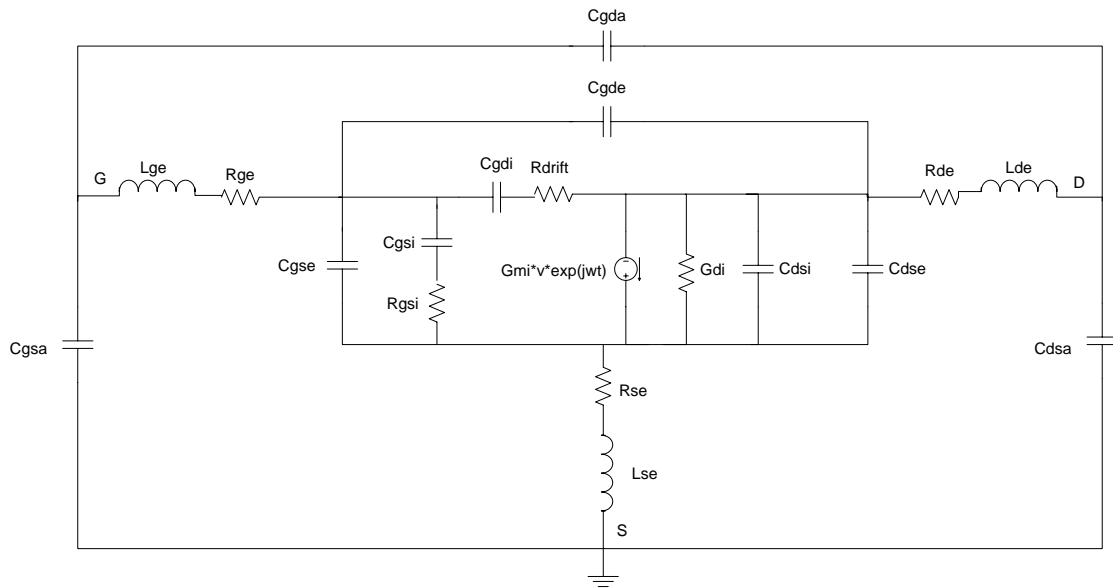


Figura 4-12 Circuito de pequeña señal completo.

4.2 Procedimiento de extracción del modelo en pequeña señal

Una vez deducido el circuito completo de pequeña señal (Figura 4-12), se procederá a la extracción de todos los componentes del circuito equivalente de fuera hacia dentro empleando diferentes polarizaciones del transistor. El objetivo final es extraer todos los parámetros extrínsecos hasta aislar los parámetros intrínsecos que son los que aportan la información válida de cada transistor medido.

4.2.1 Extracción de los parámetros de acceso (C_{ija})

El método empleado para la extracción de los parámetros de acceso se conoce como método *cold-FET* y consiste en polarizar el transistor a $V_{gs} \ll V_{TH}$ y $V_{ds} = 0$ V. En estas condiciones se puede negligir el aporte de las componentes intrínsecas. El circuito resultante aplicando el método *cold-FET* queda de la siguiente forma:

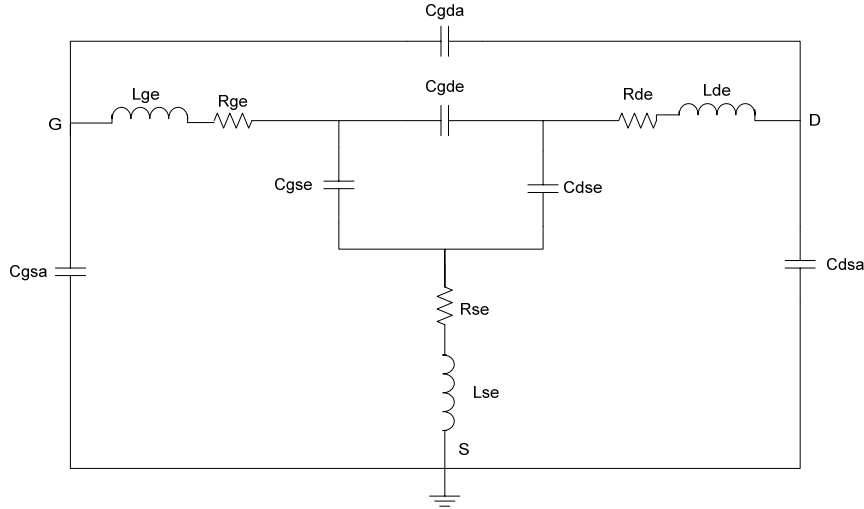


Figura 4-13 Circuito de pequeña señal resultante al aplicar el método *cold-FET*.

Para la extracción de los parámetros C_{ija} se realizan las medidas de los parámetros S a la frecuencia más bajas posible (la frecuencia mínima escogida en el *VNA* para el barrido frecuencial es $f_{min} = 50 \times 10^6$ Hz). En estas condiciones, el efecto de las inductancias extrínsecas del modelo circuital se puede obviar: $L_{ge} = L_{de} = L_{se} = 0$ H. Con el fin de considerar únicamente las componentes C_{ija} se toma la parte imaginaria del circuito resultante obteniendo las siguientes relaciones:

$$\Im\{Y_{a11}\} \approx \omega(C_{gsa} + C_{gda} + C_{gde} + C_{gse}) \quad (4.14)$$

$$\Im\{Y_{a12}\} \approx -\omega(C_{gda} + C_{gde}) \quad (4.15)$$

$$\Im\{Y_{a22}\} \approx \omega(C_{dsa} + C_{gda} + C_{gde} + C_{dse}) \quad (4.16)$$

Estas expresiones no son suficientes para extraer los parámetros de acceso, ya que en estas condiciones de polarización también se incluyen otros elementos extrínsecos del dispositivo. Este problema se soluciona introduciendo ciertas simplificaciones [2]:

- (i) El acoplamiento entre puerta y drenador es negligible ($C_{gda} = 0$).
- (ii) En estas condiciones de polarización, y a partir de los resultados expuestos en la sección 4.1.4, se considera $C_{gse} \approx (5/3)C_{gde}$.
- (iii) Teniendo en cuenta el tamaño de los *pads* y pistas de acceso, se puede considerar que C_{dsa} es grande en comparación con C_{dse} .

Las expresiones 4.13, 4.14 y 4.15 se reescriben de la siguiente forma:

$$\Im(Y_{a11}) = \omega\left(C_{gsa} + \frac{8}{3}C_{gde}\right) \quad (4.17)$$

$$\Im\{Y_{a12}\} \approx -\omega(C_{gde}) \quad (4.18)$$

$$\Im\{Y_{a22}\} \approx \omega(C_{dsa} + C_{gde}) \quad (4.19)$$

Ahora se puede extraer directamente el valor de las capacidades, obteniendo:

$$C_{gsa} = \frac{\Im\left(Y_{a11} + \frac{8}{3}Y_{a12}\right)}{\omega} \quad (4.20)$$

$$C_{gde} = -\frac{\Im(Y_{a12})}{\omega} \quad (4.21)$$

$$C_{dsa} = \Im\left(\frac{Y_{a22} + 2Y_{a12}}{\omega}\right) \quad (4.22)$$

El valor de las capacidades de acceso se extrae del conjunto de parámetros Y correspondientes a la polarización indicada.

Una vez conocidas estas capacidades, se obtiene la matriz correspondiente para su posterior extracción utilizando la siguiente expresión, obtenida del análisis nodal descrito en el Apéndice A.

$$Y_a = \begin{pmatrix} j\omega\left(C_{gsa} + \frac{8}{3}C_{gde}\right) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dsa} + C_{gde}) \end{pmatrix} \quad (4.23)$$

4.2.2 Impedancias de los pads (L_{xe} , R_{xe})

Una vez conocidas las capacidades parásitas de acceso y las capacidades extrínsecas, es momento de determinar las componentes parásitas asociadas a los *pads* (L_{xe} , R_{xe}). Las condiciones de polarización para su extracción son $V_{ds} = V_{gs} = 0$ V. Así se consigue anular g_{mi} y g_{di} del circuito intrínseco y que las capacidades intrínsecas del transistor tiendan a cero [8], dando lugar al siguiente circuito:

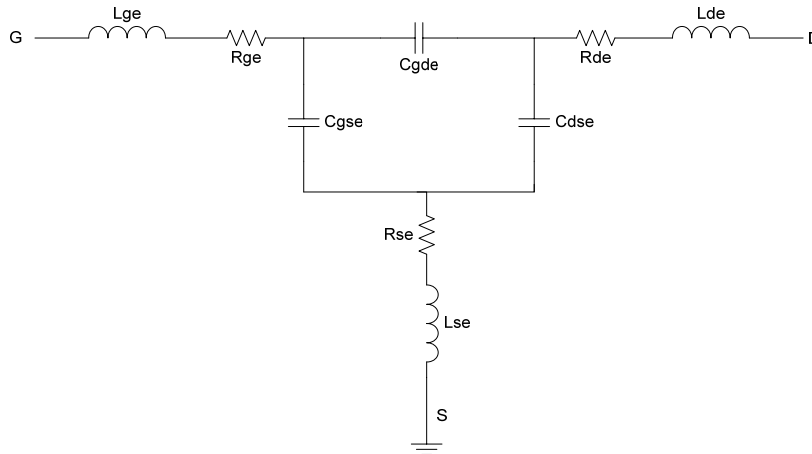


Figura 4-14 Circuito equivalente en polarización $V_{gs} = V_{ds} = 0V$.

Es preciso recordar que en el momento de determinar las componentes de los *pads* ya se dispone de los valores de los parámetros de acceso, por lo que éstos se pueden aislar matricialmente, y por tanto eliminar del circuito.

Aplicando el análisis nodal sobre el circuito de la Figura 4.14 obtenemos las siguientes ecuaciones:

$$Z_{\sigma\pi} = Z_{\sigma} + Y_{\pi}^{-1} \quad (4.24)$$

$$Z_{\sigma} = \begin{pmatrix} R_{ge} + R_{se} & R_{se} \\ R_{se} & R_{de} + R_{se} \end{pmatrix} + j\omega \begin{pmatrix} L_{ge} + L_{se} & L_{se} \\ L_{se} & L_{de} + L_{se} \end{pmatrix} \quad (4.25)$$

$$Y_{\pi} = \begin{pmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dse} + C_{gse}) \end{pmatrix} \quad (4.26)$$

donde Z_{σ} corresponde a la impedancia de los *pads* e Y_{π} corresponde a las capacidades extrínsecas debidas a la interacción entre metales del transistor *LDMOS*, obtenidas en el apartado 4.1.4. El desarrollo completo de estas expresiones junto con el análisis nodal correspondiente se detalla en el apéndice A.

La suma de ambas matrices da lugar a la siguiente formulación de las componentes de la matriz $Z_{\sigma\pi}$:

$$Z_{\sigma\pi 11} = R_{ge} + R_{se} + j\omega(L_{ge} + L_{se}) + \frac{j\omega(C_{gde} + C_{dse})}{\Delta} \quad (4.27)$$

$$Z_{\sigma\pi 12} = Z_{\sigma\pi 21} = R_{se} + j\omega L_{se} + \frac{j\omega C_{gde}}{\Delta} \quad (4.28)$$

$$Z_{\sigma\pi 22} = R_{de} + R_{se} + j\omega(L_{de} + L_{se}) + \frac{j\omega(C_{gse} + C_{gde})}{\Delta} \quad (4.29)$$

$$\Delta = Y_{\pi 11}Y_{\pi 22} - Y_{\pi 12}Y_{\pi 21} = -\omega^2(C_{gse}C_{dse} + C_{gse}C_{gde} + C_{gde}C_{dse}) \quad (4.30)$$

Estas ecuaciones, junto con la extracción directa, permite obtener las resistencias extrínsecas (recuérdese que la matriz de capacidades extrínsecas Y_{π} es conocida):

$$R_{se} = \Re(Z_{\sigma 12}) = \Re(Z_{\sigma 21}) \quad (4.31)$$

$$R_{ge} = \Re(Z_{\sigma 11} - Z_{\sigma 12}) \quad (4.32)$$

$$R_{de} = \Re(Z_{\sigma 22} - Z_{\sigma 12}) \quad (4.33)$$

En el caso de las inductancias, también se extraen matemáticamente las expresiones, aunque es preciso recurrir a la representación gráfica (el valor de L_{xe} es la pendiente de ω^2 versus $\omega \times \text{imag}(Z)$, como se explica en el Apéndice A):

$$\omega \Im(Z_{\sigma 12}) = \omega \Im(Z_{\sigma 21}) = \omega^2 L_{se} \quad (4.34)$$

$$\omega \Im(Z_{\sigma 11} - Z_{\sigma 12}) = \omega^2 L_{ge} \quad (4.35)$$

$$\omega \Im(Z_{\sigma 22} - Z_{\sigma 12}) = \omega^2 L_{de} \quad (4.36)$$

4.2.3 Componentes intrínsecos

Una vez determinadas las componentes de la matriz $Z_{\sigma\pi}$ ya se pueden extraer los elementos intrínsecos, aislando los elementos extrínsecos en las medidas realizadas:

$$(Y_{TOTAL}) = (Y_{int}) + (Y_{\pi}) + (Z_{\sigma})^{-1} + (Y_a) \quad (4.37)$$

$$(Y_{int}) = (Y_{TOTAL}) - (Y_{\pi}) - (Z_{\sigma})^{-1} - (Y_a) \quad (4.38)$$

Mediante los parámetros Y_{int} resultantes se procede a la extracción de parámetros directamente de la matriz Y_{int} . De nuevo aplicaremos el método de análisis nodal pero esta vez con el circuito equivalente de elementos intrínsecos mostrado en la Figura 4-5. El resultado final de la matriz intrínseca Y_{int} , nos viene dada por la Expresión 4.39³:

$$Y_{int} = \begin{pmatrix} j\omega \left(\frac{C_{gsi}}{1 + j\omega R_{gsi} C_{gsi}} + \frac{C_{gdi}}{1 + j\omega R_{drift} C_{gdi}} \right) & -j\omega \frac{C_{gdi}}{1 + j\omega R_{drift} C_{gdi}} \\ \frac{G_{mi} e^{-j\omega\tau}}{1 + j\omega R_{gsi} C_{gsi}} - j\omega \frac{C_{gdi}}{1 + j\omega R_{drift} C_{gdi}} & G_{dsi} + j\omega \left(C_{dsi} + \frac{C_{gdi}}{1 + j\omega R_{drift} C_{gdi}} \right) \end{pmatrix} \quad (4.39)$$

Aplicando nuevamente un proceso de extracción directa se obtiene:

$$G_{mi} = - \left| \frac{Y_{int21} - Y_{int12}}{Y_{int11} + Y_{int12}} \right| \frac{1}{\Im \left(\frac{1}{Y_{int11} + Y_{int12}} \right)} \quad (4.40)$$

$$G_{dsi} = \Re(Y_{int22} + Y_{int12}) \quad (4.41)$$

$$C_{gsi} = \frac{1}{\omega \Im \left(\frac{1}{Y_{int11} + Y_{int12}} \right)} \quad (4.42)$$

³ Apéndice A.

$$C_{gdi} = -\frac{1}{\omega \Im \left(\frac{1}{Y_{\text{int}12}} \right)} \quad (4.43)$$

$$C_{dsi} = \frac{\Im(Y_{\text{int}22} + Y_{\text{int}12})}{\omega} \quad (4.44)$$

$$R_{\text{drift}} = -\Re \left(\frac{1}{Y_{\text{int}12}} \right) \quad (4.45)$$

$$R_{gsi} = \Re \left(\frac{1}{Y_{\text{int}11} + Y_{\text{int}12}} \right) \quad (4.46)$$

$$\tau = \frac{1}{\omega} \arctan \left\{ \frac{\Im \left\{ (Y_{\text{int}21} - Y_{\text{int}12}) / (1 + j\omega R_{gsi} C_{gsi}) \right\}}{\Re \left\{ (Y_{\text{int}21} - Y_{\text{int}12}) / (1 + j\omega R_{gsi} C_{gsi}) \right\}} \right\} \quad (4.47)$$

Una vez obtenidos los parámetros intrínsecos, el circuito equivalente de pequeña señal correspondiente a la Figura 4.12 queda totalmente caracterizado en función de los parámetros Y obtenidos a través de los parámetros S y en función de la frecuencia.

4.3 Referencias

- [1] Tsividis YP, *Operation and modeling of the MOS transistor*, McGraw-Hill Book Company, 1997
- [2] Dehan M, *Characterization and modeling of SOI RF integrated components*, Ph. D. Thesis, Université Catholique de Louvain, 2003
- [3] Sentaurus TCAD TOOL Suite Synopsis 2006
- [4] Goffioul M, Vanhoenacker D, Raskin JP, *Direct extraction techniques of microwave small-signal model and technological parameters for sub-quarter micron SOI MOSFET's*, 5th Symposium Diagnostics and Yield, SOI – materials, devices and characterization, July 2000
- [5] Dehan M, Raskin JP, Vanhoenacker D, *Comparison of different extraction methods of small-signal parameters for SOI MOSFET's*, in Proc. Of 32th European Microwave Conference (EuMC), 2002
- [6] Bracale A, Carlet-Cavrois V, Fel N, Pasquet D, Gauthier JL, Pelloie JL, *A new method for characteristic impedance determination on lossy substrate*, IEEE Microwave Symposium MTT, 2000
- [7] Raskin JP, *Modeling, characterization and optimization of MOSFET's and passive elements for the synthesis of SOI MMIC's*, Ph. D. Thesis, Université Catholique de Louvain, 1997
- [8] Lovelace D, Costa J, Camilleri N, *Extracting small-signal model parameters of silicon MOSFET transistors*, Motorola, Inc., 2200 West Broadway Road, Mesa, AZ 85202

Capítulo 5

Resultados de simulación y medida directa sobre el *LDMOS*

5.1 Introducción

Para validar el modelo del transistor, en primer lugar se han realizado simulaciones en pequeña señal de una estructura *LDMOS* lo más parecida al transistor fabricado con la misma anchura de canal ($W = 1280 \mu\text{m}$). Para estas simulaciones hemos definido unos valores de resistencias e inductancias externas en cada uno de los terminales del dispositivo que simulan la contribución de los *pads* del dispositivo (R_{xe} , L_{xe}) tal como se muestra en la Figura 4-14 del anterior capítulo.

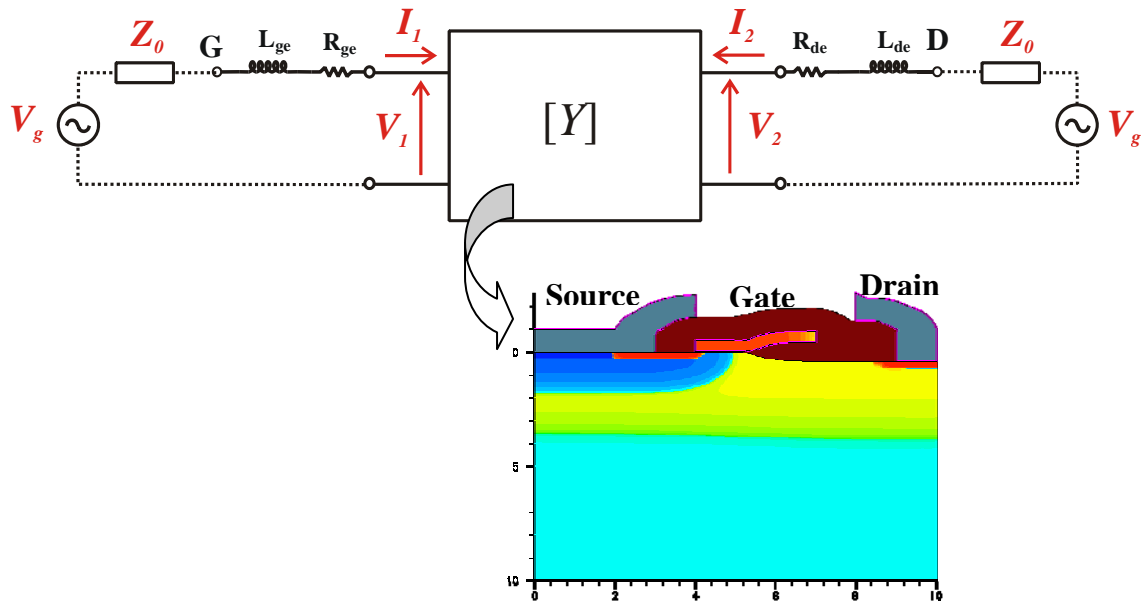


Figura 5-1 Representación del circuito bipuerto con la contribución de las impedancias parásitas de los pads, y estructura física del transistor simulado en el circuito bipuerto.

5.2 Resultados de simulación del transistor *LDMOS*

Una vez generados los archivos con los parámetros S correspondientes al las simulaciones en pequeña señal, se transforman en parámetros Y para su posterior empleo en el programa de extracción de parámetros realizado en *MATLAB*, para el posterior análisis de resultados. Los códigos de análisis de todas las componentes circuitales del modelo en pequeña señal se presentan en el Apéndice C. A partir de los resultados de la simulación podemos extraer, en primer lugar, la impedancia de los *pads* (R_{xe} , L_{xe}) polarizando el transistor con $V_d = 0$ y $V_g = 0$ V. En segundo lugar podemos extraer las capacidades extrínsecas (C_{gse} , C_{gde} y C_{dse}) mediante el método explicado en la sección 4.1.4 también en condiciones de polarización fría ($V_d = 0$ y $V_g = 0$ V). En la última simulación vamos a obtener los parámetros S del transistor polarizado en condiciones de amplificación, es decir $V_D = 28$ V con $V_G \geq V_{TH}$. La matriz de parámetros Y obtenida en esta simulación será la que emplearemos para extracción de los parámetros intrínsecos del transistor. Para ello, primero hemos de substraer los valores de todos los parásitos extrínsecos de la matriz de resultados Y final para conseguir la matriz Y intrínseca (Y_{int}) a partir de la cual se obtienen los elementos intrínsecos. Aunque los resultados de los parámetros obtenidos son casi constantes en función de la frecuencia, conviene dar un valor aproximado de cada uno de ellos. Para ello, se procede a dar el valor medio de cada parámetro eliminando del cálculo los valores a frecuencias mayores de la frecuencia de corte del transistor ($f_T \approx 2$ GHz). Esto es debido a que a partir de esta frecuencia el transistor deja de amplificar y el valor de los parámetros se desvía considerablemente del valor medio. En resumen, tal como detallamos en el capítulo 4, los parámetros de la matriz intrínseca (Y_{int}) se obtienen matricialmente mediante la siguiente expresión:

$$(Y_{TOTAL}) = (Y_{int}) + (Y_{\pi}) + (Z_{\sigma})^{-1} \quad (0.1)$$

donde la matriz Y_{π} contiene las capacidades extrínsecas y la matriz Z_{σ} las impedancias de los *pads*. A continuación clasificaremos por secciones los resultados obtenidos a partir del método de extracción expuesto en el Capítulo 4.

5.2.1 Resultados de las impedancias extrínsecas (matriz Z_o)

El valor de las inductancias nos viene dado por las siguientes regresiones lineales, tal y como se puso de manifiesto en el capítulo anterior:

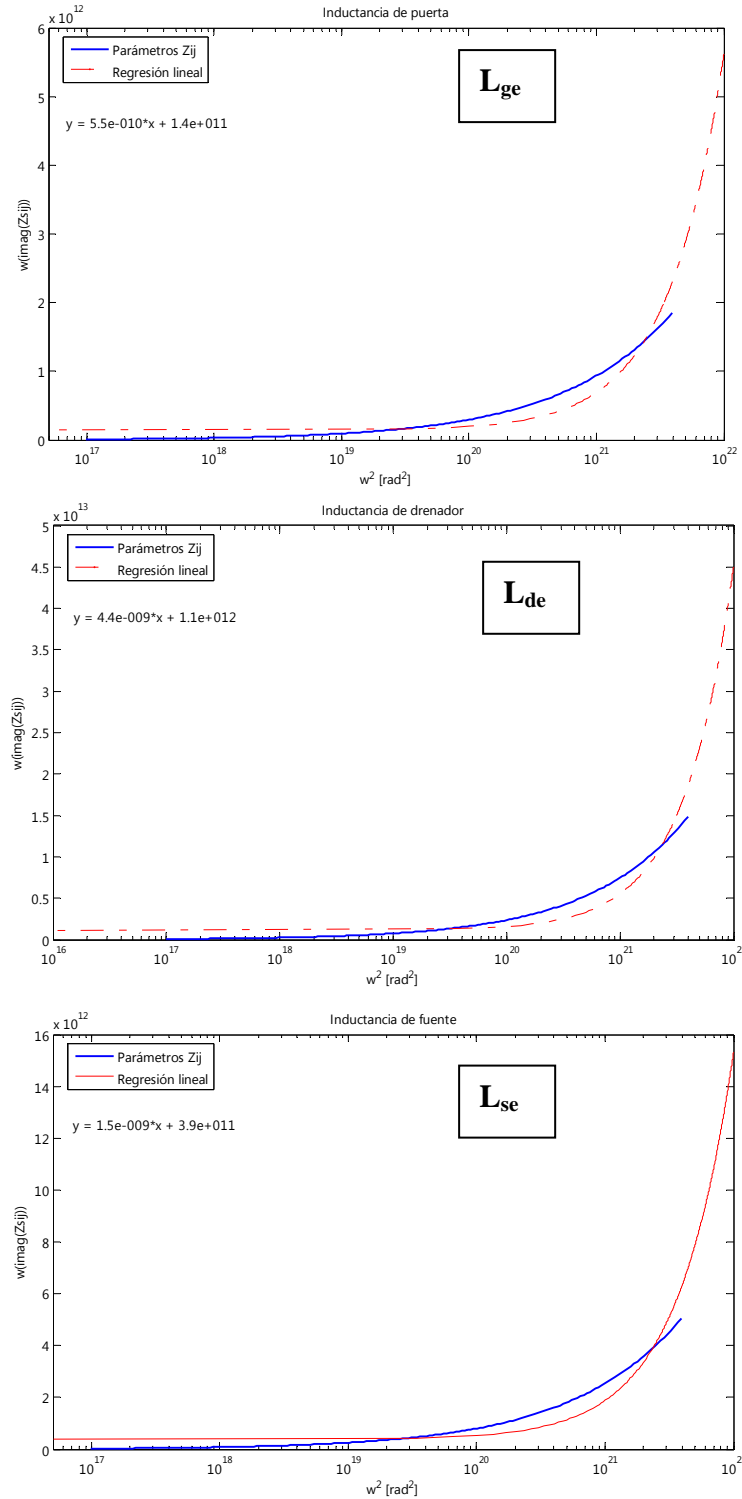


Figura 5-2 Extracción de las inductancias simuladas de los pads mediante regresión lineal.

$R_{ge} [\Omega]$	$R_{de} [\Omega]$	$R_{se} [\Omega]$
2.95	5.83	46.64
$L_{ge} [H]$	$L_{de} [H]$	$L_{se} [H]$
5.5×10^{-10}	4.4×10^{-9}	1.5×10^{-9}

Tabla 5-1 Resultado de las impedancias extrínsecas del transistor LDMOS simulado.

5.2.2 Resultados de las capacidades extrínsecas (matriz Y_{π})

$C_{gse} [F]$	$C_{gde} [F]$	$C_{dse} [F]$
1.37×10^{-13}	3.8×10^{-14}	2×10^{-14}

Tabla 5-2 Resultado de las capacidades extrínsecas del transistor LDMOS simulado.

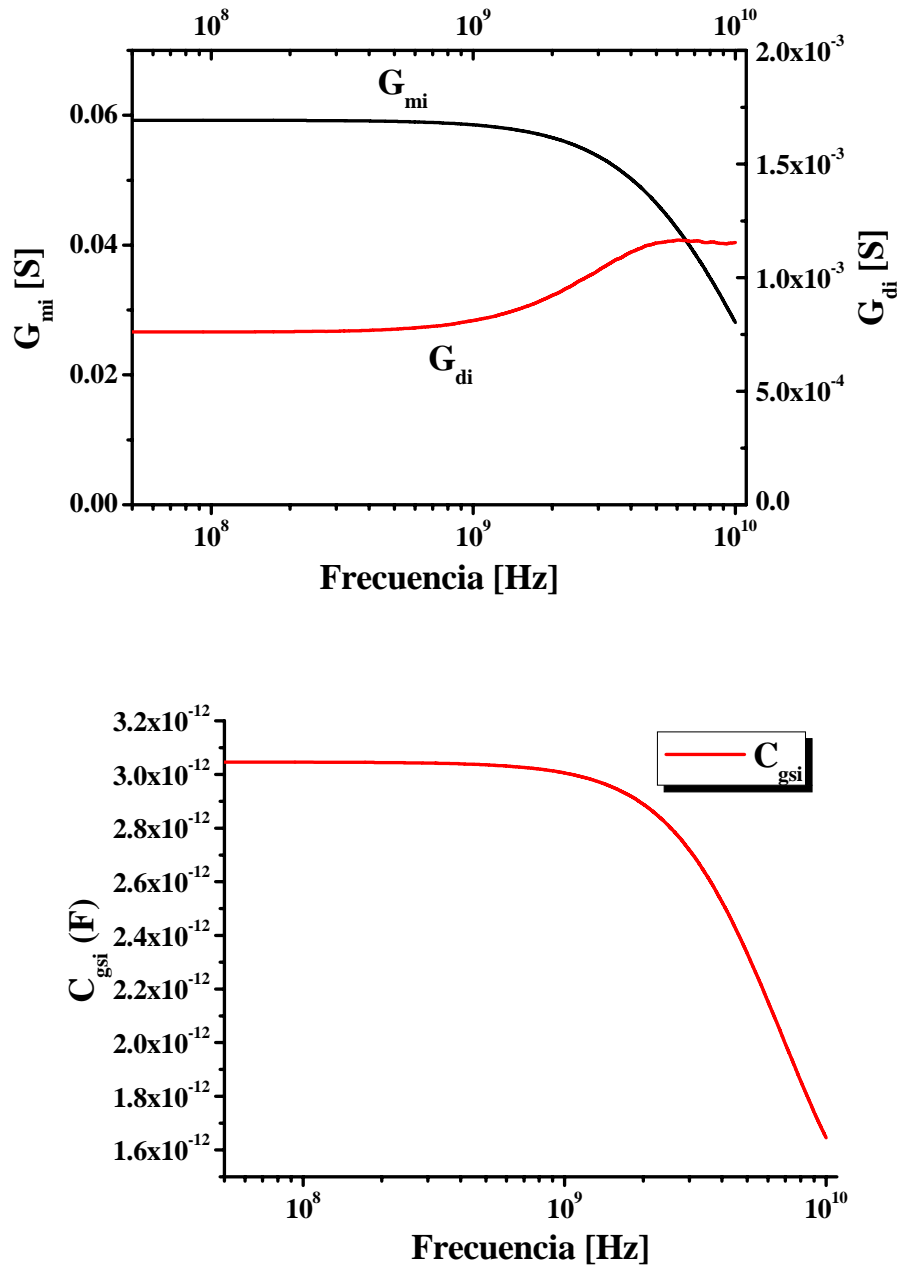
5.2.3 Resultados de los parámetros intrínsecos (matriz Y_{int})

Obtención de los parámetros intrínsecos para una tensión de drenador $V_d = 28$ V y valores de tensión de puerta de 2 a 6 V (valores medios de la matriz Y_{int}):

$V_{gate} (V)$	2	3	4	5	6
$G_{mi} (S)$	0.029	0.058	0.055	0.023	0.015
$G_{di} (S)$	1.7×10^{-4}	2.7×10^{-4}	8.8×10^{-4}	28.6×10^{-4}	39.3×10^{-4}
$C_{gsi} (F)$	1.67×10^{-12}	2.27×10^{-12}	2.82×10^{-12}	2.42×10^{-12}	2.26×10^{-12}
$C_{gdi} (F)$	1.13×10^{-13}	1.15×10^{-13}	1.32×10^{-13}	1.18×10^{-13}	1.08×10^{-13}
$C_{dsi} (F)$	8.06×10^{-13}	1.76×10^{-13}	2.23×10^{-13}	7.87×10^{-13}	4.85×10^{-13}
$R_{gsi} (\Omega)$	3.74	3.94	5.02	2.80	1.74
$R_{drift} (\Omega)$	2.44×10^4	6.70×10^3	1.05×10^3	3.49×10^2	2.69×10^2
$\tau (s)$	-3.12×10^{-11}	-3.19×10^{-11}	-4.00×10^{-11}	-3.60×10^{-11}	-3.50×10^{-11}

Tabla 5-3 Resultado de los parámetros intrínsecos del transistor LDMOS simulado.

Los resultados gráficos en función de la frecuencia correspondientes para una polarización de $V_g = 4$ V y $V_d = 28$ V se muestran en el conjunto de gráficas de la Figura 5-3.



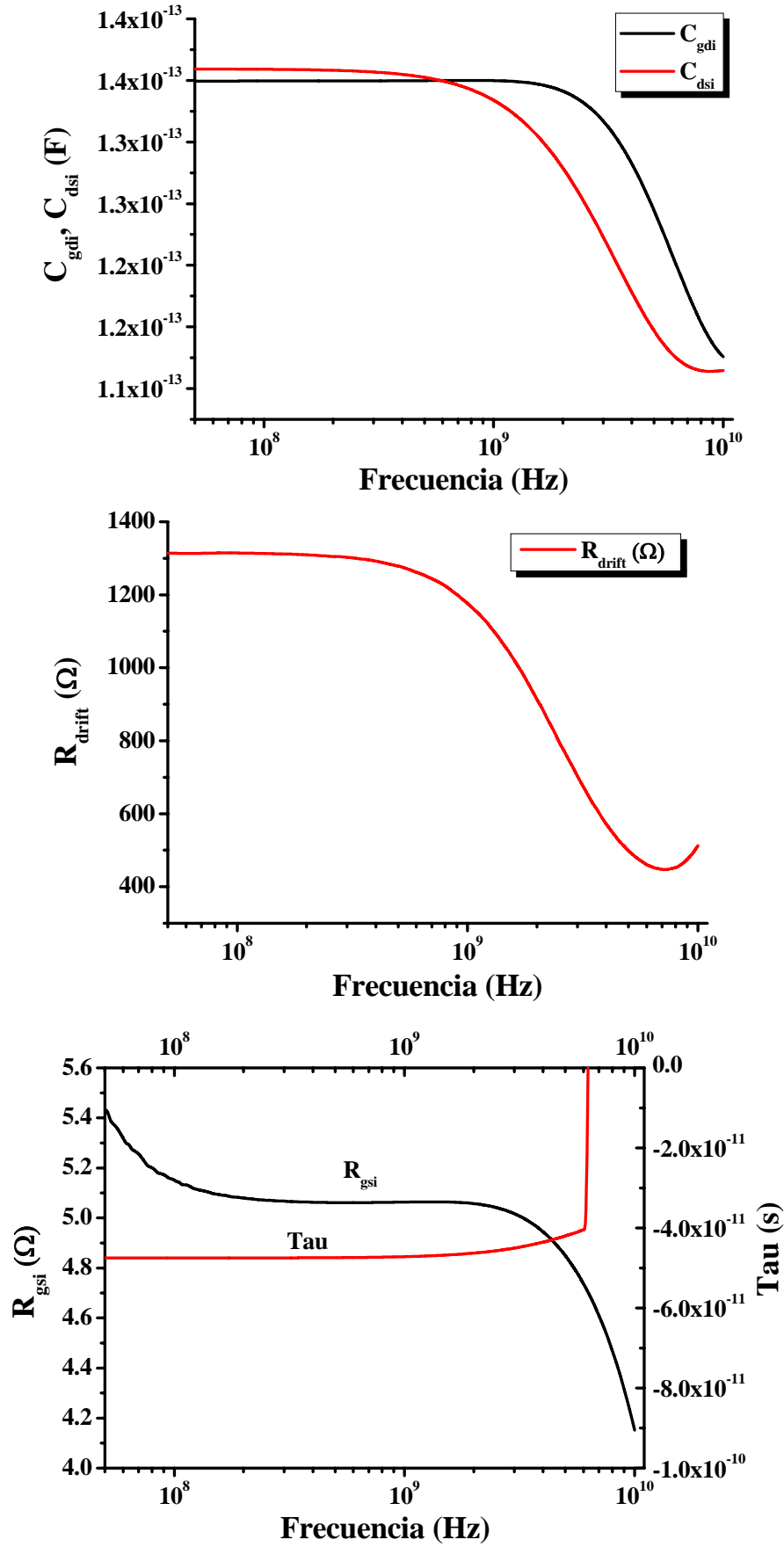
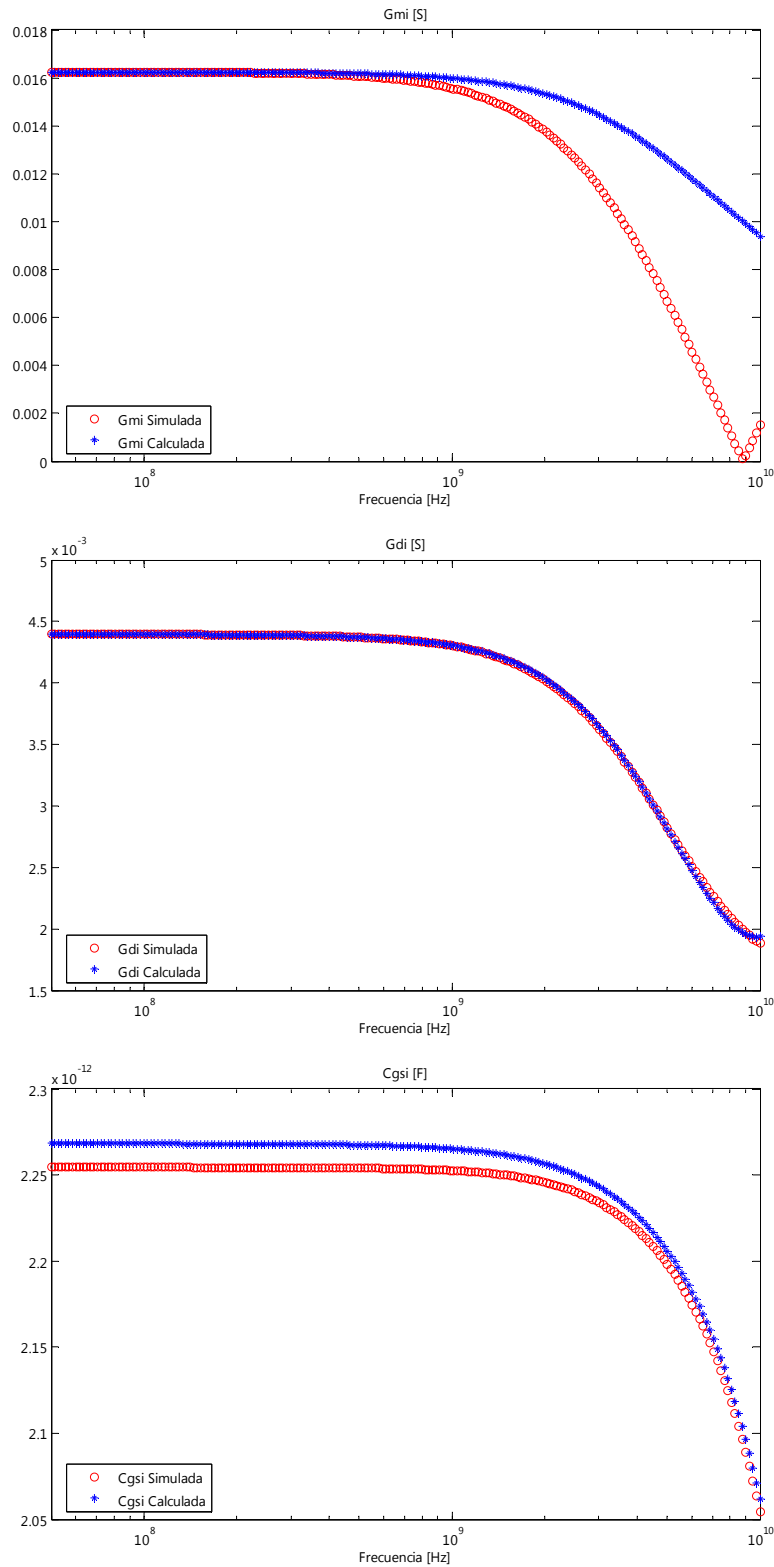


Figura 5-3 Respuesta frecuencial de los parámetros intrínsecos G_{mb} , G_{db} , C_{gsi} , C_{gdi} , C_{dsi} , R_{drift} , R_{gsi} , τ para $V_g = 4$ V y $V_d = 28$ V.

Una vez graficado el comportamiento frecuencial de los parámetros intrínsecos obtenidos (Figura 5-3), así como su variación en función de la polarización (Tabla 5-2), vamos a comprobar la viabilidad del modelo circuital. Para ello vamos a graficar simultáneamente los resultados obtenidos directamente por el simulador de elementos finitos y los resultados mediante el método de extracción obtenido en el apartado anterior.



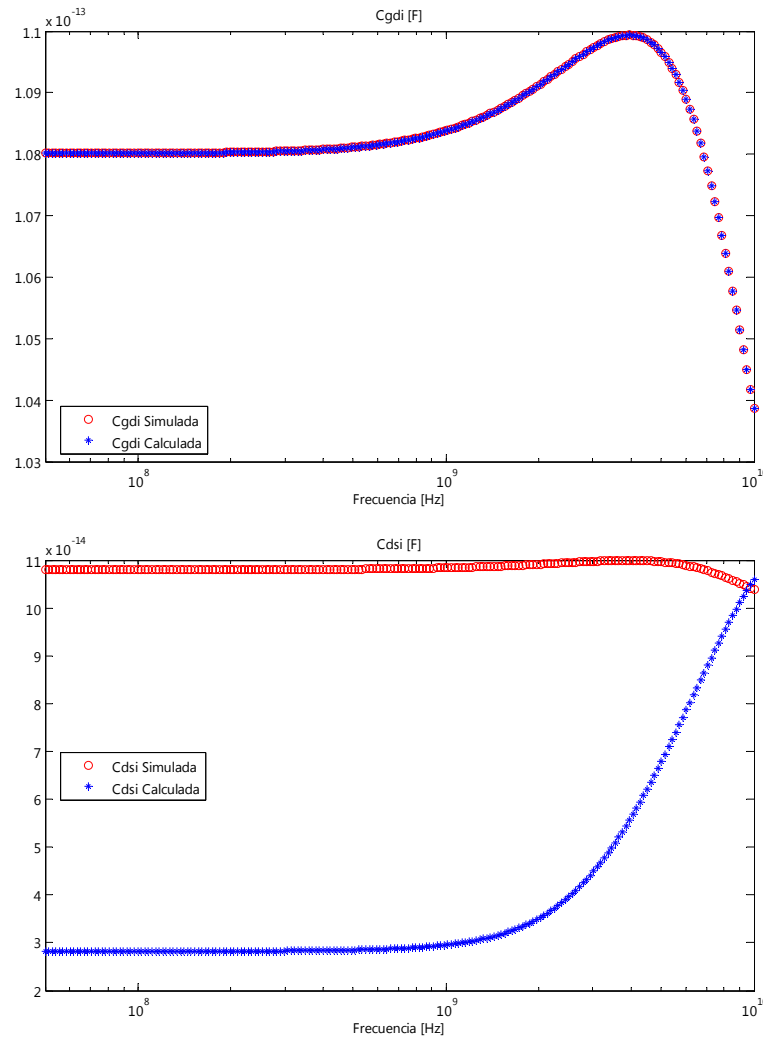


Figura 5-4 Comparación de la respuesta frecuencial de los parámetros intrínsecos G_{mb} , G_{db} , C_{gsb} , C_{gdb} , C_{dsi} simulados y extraídos por el modelo circuital para $V_g = 4$ V y $V_d = 28$ V.

5.3 Resultados de medida directa sobre el transistor *LDMOS*

Las medidas de los transistores *LDMOS* se han realizado en el laboratorio del departamento de Teoría de la Señal y Comunicaciones (TSC) situado en el Campus-Nord de la Universidad Politécnica de Catalunya (UPC). El banco de medidas utilizado está formado por un sistema de medida de parámetros S formado por un analizador de redes HP8510B entre 45 MHz y 40 GHz y un sistema de medida en continua que consta de una fuente HP6629A y dos multímetros HP3478A y HP3457A. La estación de sondas empleada en las medidas sobre oblea es el modelo *Summit 9000* de *Cascade Microtech*.

A continuación se ilustran unas fotografías del transistor (Figura 5-5) obtenida con el microscopio y una imagen del transistor con las puntas de medida contactando los *pads* de acceso de configuración GSG (Figura 5-6). Esta última imagen se consigue gracias a la cámara situada en el visor del microscopio de la estación de sondas.

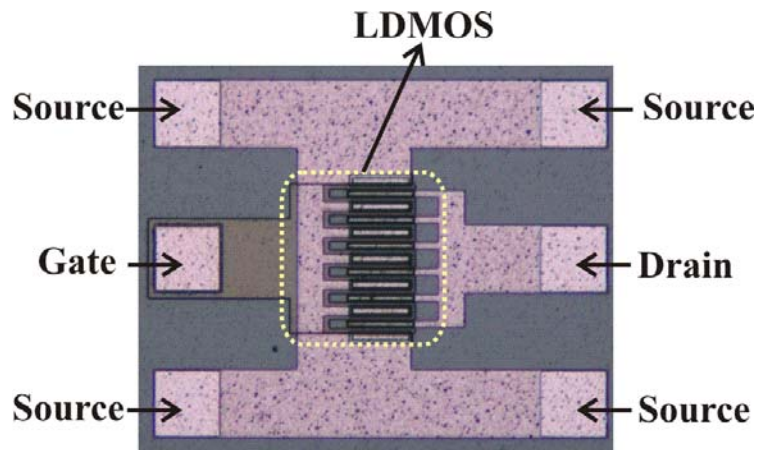


Figura 5-5 Vista en planta del transistor *LDMOS* con la configuración de pads GSG apta para medidas de RF.

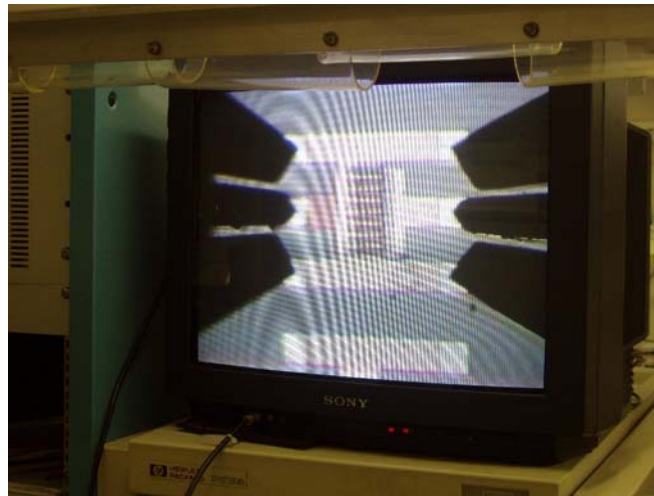


Figura 5-6 Vista en planta de uno de los transistores *LDMOS* medidos con las puntas contactando los pads de acceso.

Las siguientes imágenes ilustran un detalle de la estación de medida de RF empleada, con todo el rack de instrumentos empleados en la medida sobre oblea (Figura 5-7) y la oblea de 4 pulgadas empleada en las medidas con las sondas RF contactando en unos de los transistores *LDMOS* de RF (Figura 5-8).

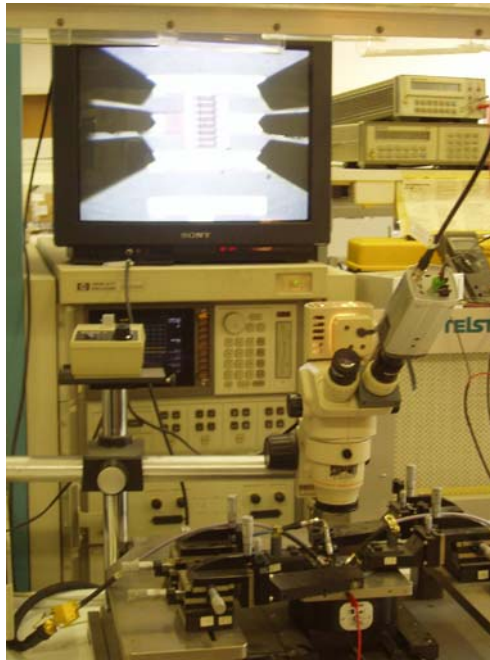


Figura 5-7 Detalle del banco de medidas empleado para la caracterización de los transistores *LDMOS* en RF.

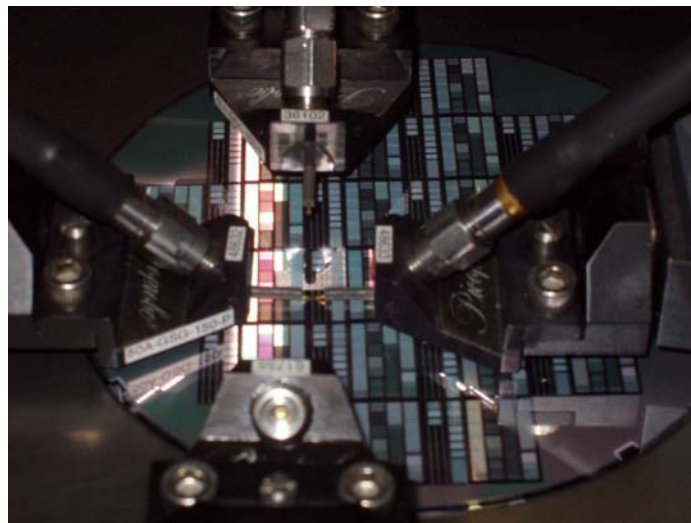


Figura 5-8 Detalle de la oblea con las puntas de RF de la marca Picoprobe contactando en un transistor *LDMOS*

A continuación expondremos los resultados de todos los parámetros del circuito equivalente en pequeña señal obtenidos a partir del modelo de extracción aplicado a los resultados experimentales.

5.3.1 Resultados de los parámetros de acceso (matriz Y_a)

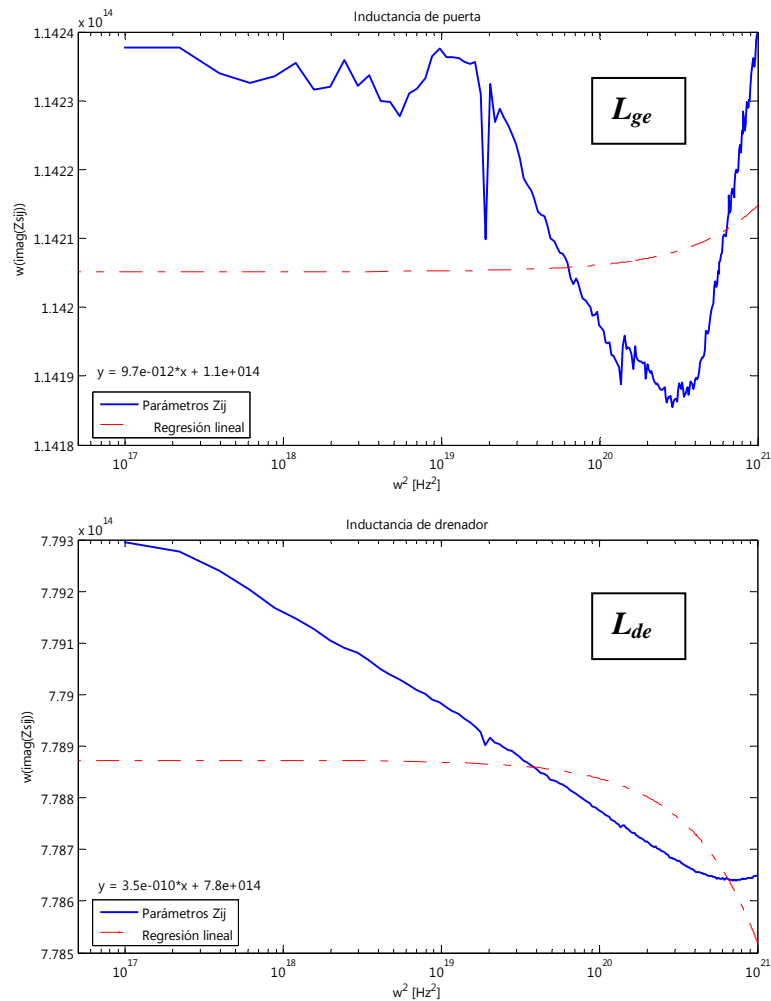
C_{gsa} [F]	C_{gda} [F]	C_{dsa} [F]
7.74×10^{-13}	9.64×10^{-14}	7.83×10^{-13}

Tabla 5-4 Resultado de las impedancias de acceso del transistor LDMOS medido.

5.3.2 Resultados de las impedancias extrínsecas (matriz Z_o)

R_{ge} [Ω]	R_{de} [Ω]	R_{se} [Ω]
40.07	55.72	6.18
L_{ge} [H]	L_{de} [H]	L_{se} [H]
9.7×10^{-12}	3.5×10^{-10}	6.6×10^{-11}

Tabla 5-5 Resultado de las impedancias de los pads del transistor LDMOS medido.



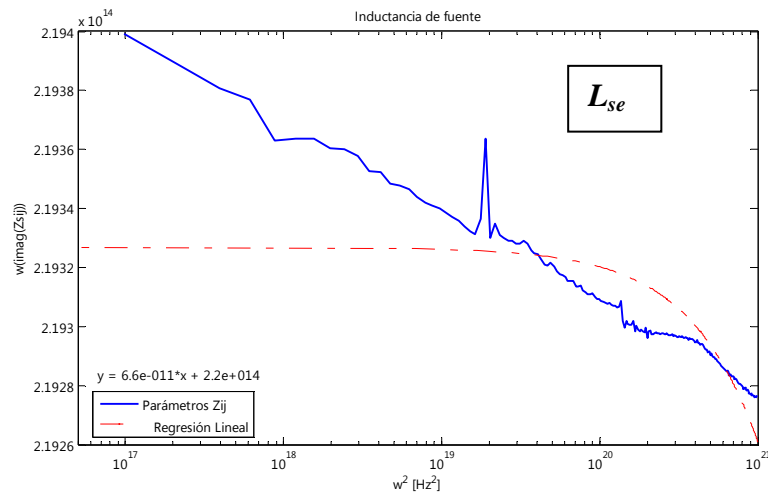


Figura 5-9 Extracción de las inductancias experimentales de los pads mediante regresión lineal.

5.3.3 Resultados de las capacidades extrínsecas (matriz Y_{π})

C_{gse} [F]	C_{gde} [F]	C_{dse} [F]
1.37×10^{-13}	3.8×10^{-14}	2×10^{-14}

Tabla 5-6 Resultado de las capacidades extrínsecas del LDMOS simulado.

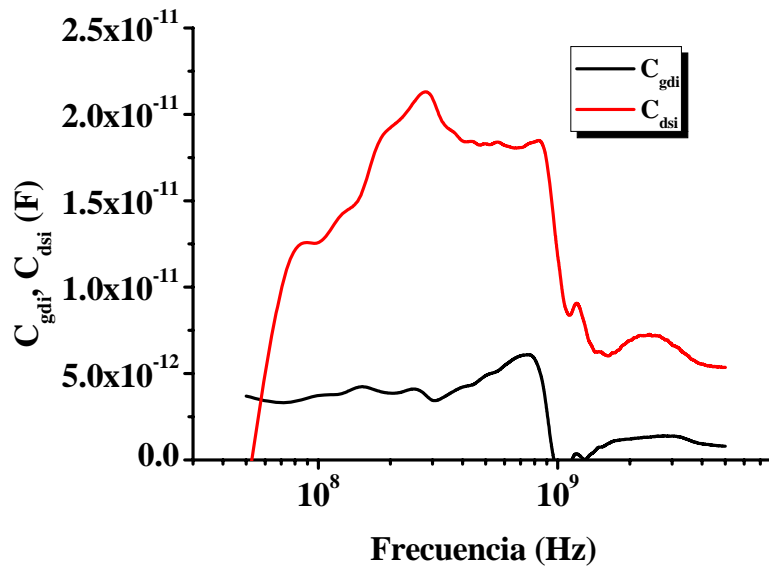
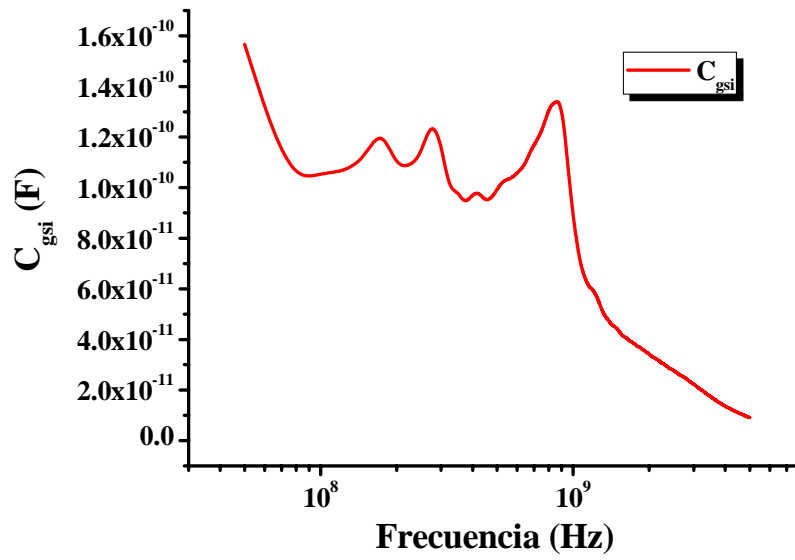
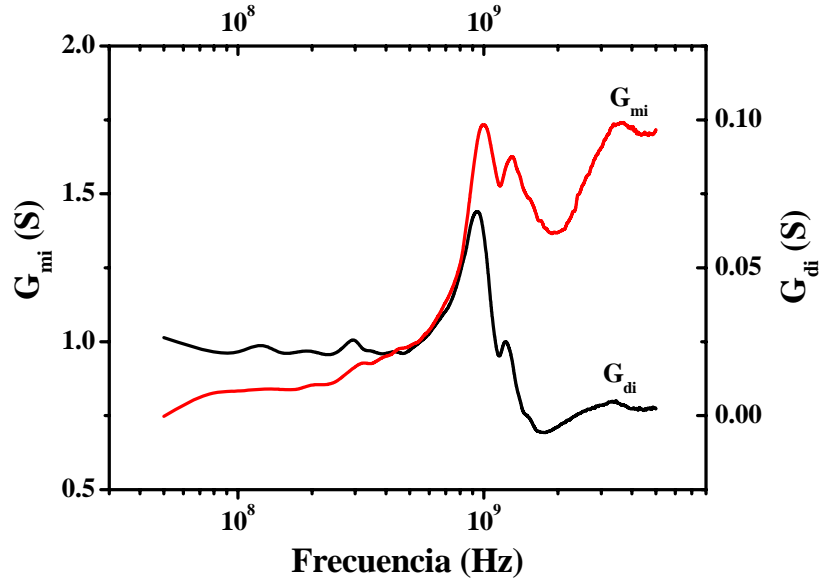
5.3.4 Resultados de los parámetros intrínsecos (matriz Y_{int})

Obtención de los parámetros intrínsecos para una tensión de drenador $V_d = 19.3$ V y valores de tensión de puerta de 2 - 8 V. (valores medios, matriz Y_{int}):

V_{gate} (V)	2	3.3	4.6	6	7.3
G_{mi} (S)	0,01	1,09	0,63	0,28	0,21
G_{di} (S)	0,028	0,034	0,057	0,07	0,07
C_{gsi} (F)	$5,19 \times 10^{-11}$	$1,12 \times 10^{-10}$	$1,33 \times 10^{-10}$	$1,16 \times 10^{-10}$	$1,14 \times 10^{-10}$
C_{gdi} (F)	$7,06 \times 10^{-12}$	$4,21 \times 10^{-12}$	$3,76 \times 10^{-12}$	$3,07 \times 10^{-12}$	$2,92 \times 10^{-12}$
C_{dsi} (F)	$1,3 \times 10^{-11}$	$1,72 \times 10^{-11}$	$1,66 \times 10^{-11}$	$1,58 \times 10^{-11}$	$1,54 \times 10^{-11}$
R_{gsi} (Ω)	2,5	1,14	1,12	1	0,95
R_{drift} (Ω)	1542,8	737,1	384,5	455,2	3683,2
τ (s)	$-1,75 \times 10^{-10}$	$-1,66 \times 10^{-10}$	$-1,58 \times 10^{-10}$	$-1,69 \times 10^{-10}$	$-1,55 \times 10^{-10}$

Tabla 5-7 Resultado de los parámetros intrínsecos del transistor LDMOS medido.

Resultados gráficos en función de la frecuencia correspondientes para una polarización de $V_g = 3.3$ V y $V_d = 19.3$ V)



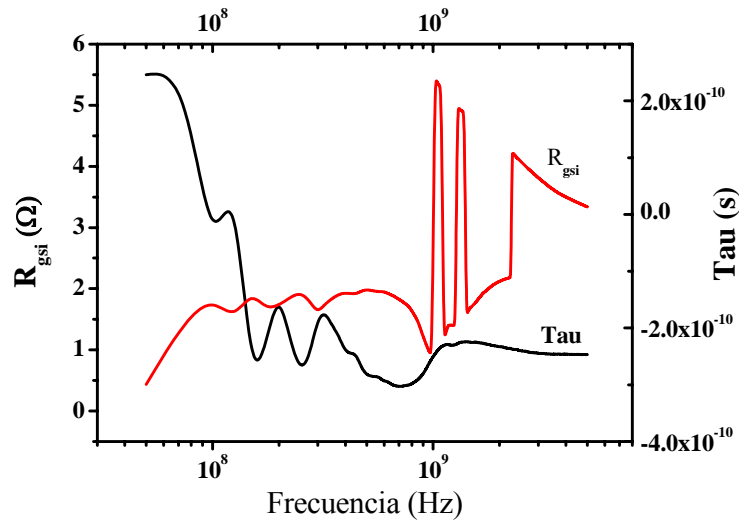
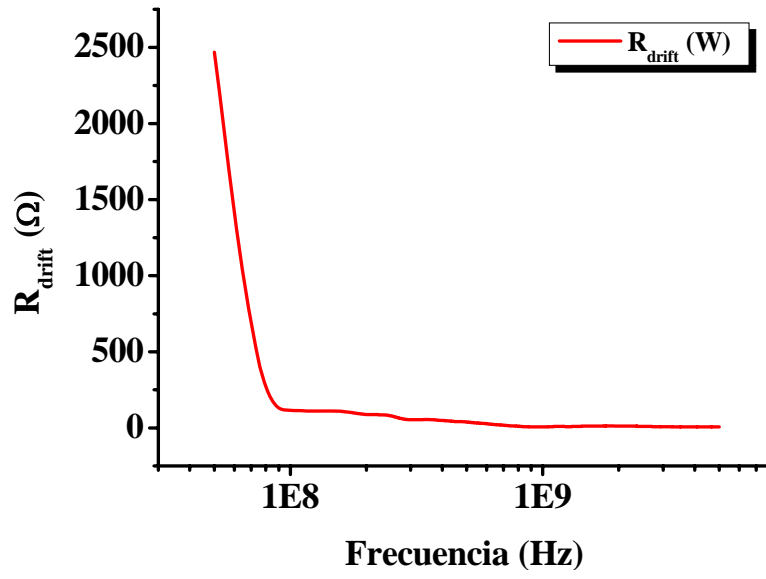
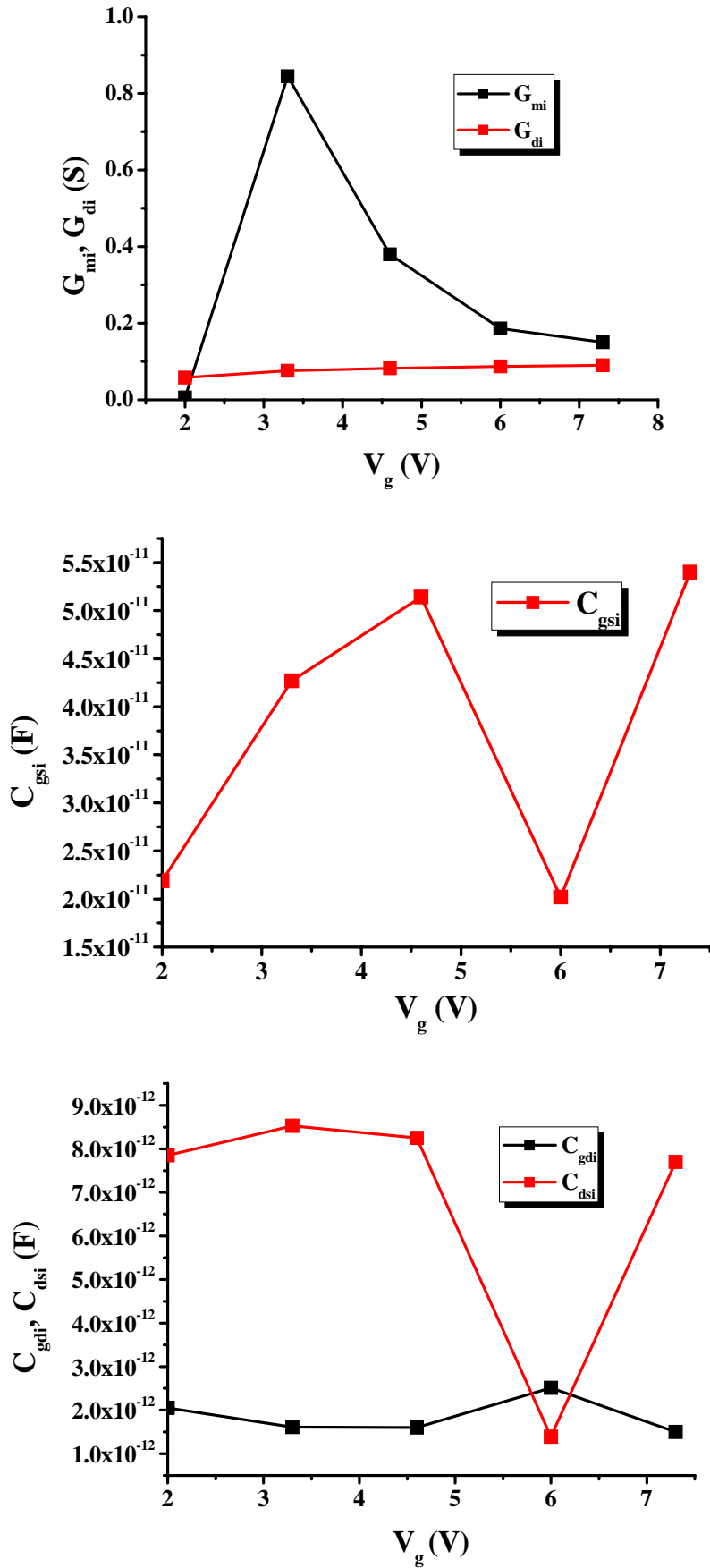


Figura 5-10 Respuesta frecuencial de los parámetros intrínsecos G_{mi} , G_{db} , C_{gsi} , C_{gdb} , C_{dsi} , R_{drift} , R_{gsi} , τ para $V_g = 3.3$ V y $V_d = 19.3$ V.

También se presentan los resultados de cada elemento intrínseco en función de la tensión de puerta:



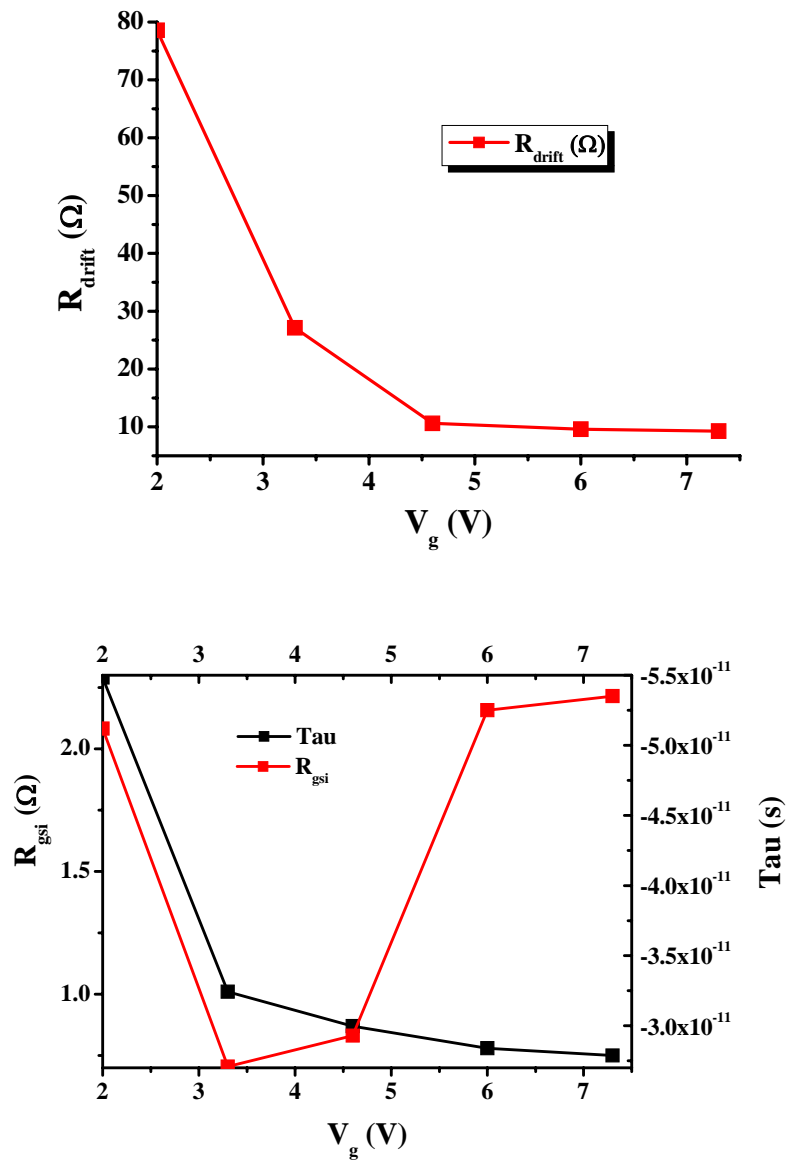


Figura 5-11 Valor medio de la respuesta frecuencial de los parámetros intrínsecos G_{mb} , G_{di} , C_{gsi} , C_{gdi} , C_{dsi} , R_{drift} , R_{gsi} , τ para $V_d = 19.3$ V en función de la tensión de puerta.

Capítulo 6

Conclusiones

Se ha puesto de manifiesto al transistor *LDMOS* como candidato para aplicaciones de radiofrecuencia, lo cual era la corriente principal de este proyecto, en el cual se asientan futuras investigaciones dentro del ámbito de las estaciones base de RF.

Se ha obtenido un modelo completo de pequeña señal, del cual se ha verificado su correcto funcionamiento en base a la estructura física del transistor, como lo demuestra el estudio realizado sobre las capacidades del Capítulo 2 y los resultados obtenidos tanto por medio de simulación como de medida directa sobre oblea, como se pone de manifiesto en el Capítulo 4.

Se han mostrado diferentes métodos de extracción de todos los componentes del circuito obtenido de pequeña señal, aplicando el análisis nodal como medio de resolución en la mayoría de los casos y siempre aportando el comportamiento en frecuencia de cada componente circuital.

Con todo esto, y en base a que los resultados obtenidos han sido satisfactorios por encontrar similitud entre simulación y medida sobre oblea, se dan por cumplidos los objetivos propuestos en el apartado 1.6 del Capítulo 1.

Queda para futuros estudios el modelo en gran señal del circuito obtenido, para posteriormente poder desarrollar un amplificador de RF para las diferentes aplicaciones que el mercado actual pueda demandar.

Apéndice A

Método nodal para la extracción de las componentes circuitales

A.1 Introducción

En este capítulo aporta una justificación analítica a las expresiones y matrices correspondientes a los diferentes circuitos que completan el modelo circuital de pequeña señal descrito en el capítulo 4.

Inicialmente se considera el transistor *LDMOS* como un circuito bipuerto

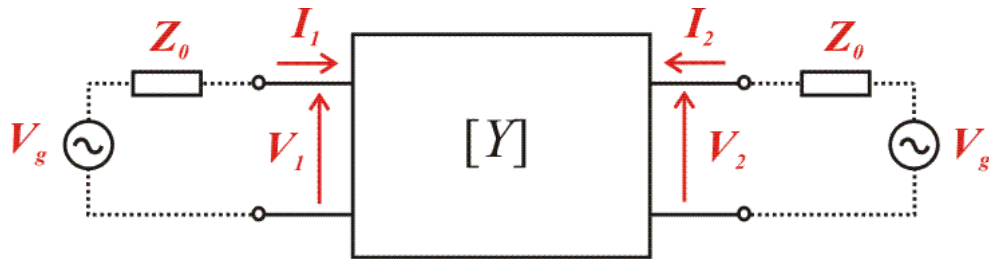


Figura A-1 Representación de un circuito bipuerto

donde el puerto 1 y el puerto 2 representan los contactos de puerta y drenador, respectivamente. El nodo común o nodo de referencia para los dos puertos es el contacto de fuente, que durante la realización de las medidas está conectado a masa. La nomenclatura de las tensiones aplicadas a los puertos 1 y 2 es: $V_1 = V_g = V_{gs}$ (puerto 1), $V_2 = V_d = V_{ds}$ (nodo 2). El mismo criterio se aplica a las corrientes: $I_1 = I_g = I_{gs}$ (puerto 1), $I_2 = I_d = I_{ds}$ (nodo 2).

El comportamiento del circuito bipuerto se puede expresar en términos de impedancias (parámetros Z), o admitancias (parámetros Y). Estos parámetros se obtienen midiendo las corrientes y tensiones de cada puerto del dispositivo medido o *device under test* (*DUT*). Al aplicar una tensión alterna en pequeña señal (~ 20 mV) se puede considerar el *DUT* como un circuito lineal, de modo que es posible aplicar el principio de superposición. Por esta razón, para obtener las admitancias relativas al puerto 1 se conecta el generador del puerto 1 y se cortocircuita el generador del puerto 2. Por el contrario, para las admitancias del puerto 2 se cortocircuita el generador del puerto 1. En el circuito de la Figura A-1, la impedancia del generador y la que actúa como carga son iguales a la impedancia característica de la línea (Z_0), para tener máxima transferencia de energía de un puerto a otro (En un *VNA* los puertos están adaptados a 50Ω).

La representación de la matriz de impedancias (Y) del circuito bipuerto es:

$$\begin{aligned} Y_{11} &= \left. \frac{I_1}{V_1} \right|_{V_2=0} ; & Y_{12} &= \left. \frac{I_1}{V_2} \right|_{V_1=0} \\ Y_{21} &= \left. \frac{I_2}{V_1} \right|_{V_2=0} ; & Y_{22} &= \left. \frac{I_2}{V_2} \right|_{V_1=0} \end{aligned} \quad (\text{A.1})$$

donde cada parámetro Y está descrito por una conductancia (G) en su parte real y una capacidad (C) en su parte imaginaria [1]:

$$Y_{ij} = G_{ij} + j\omega C_{ij} \quad (\text{A.2})$$

para $j = \sqrt{-1}$ y $\omega = 2\pi f$.

A.2 Extracción de los parámetros de acceso (Y_a)

En este apartado se polariza el transistor *LDMOS* mediante el método *cold-FET* ($V_{gs} \ll V_{TH}$, $V_{ds} = 0$ V), dando lugar al siguiente circuito:

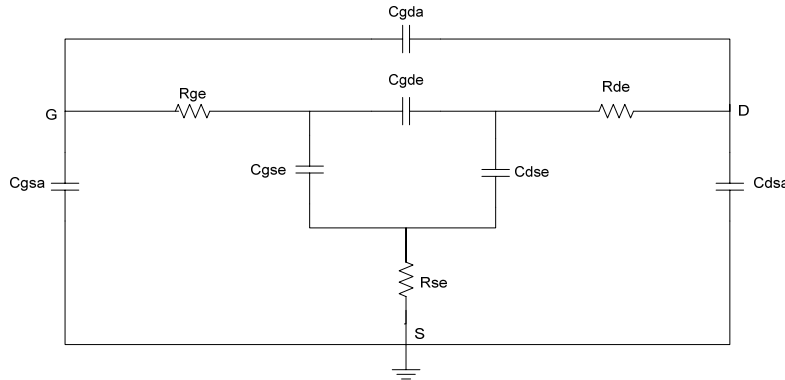


Figura A-2 Circuito considerado para la extracción de Y_a .

Como se ha indicado en el capítulo 4, para simplificar el circuito se han eliminado las inductancias correspondientes a los *pads* por su casi nula contribución en medidas a baja frecuencia. Si sólo se contempla la parte imaginaria de los parámetros S medidos únicamente quedan las componentes capacitivas del circuito, eliminándose las resistencias de los *pads*.

El circuito simplificado queda de la siguiente forma:

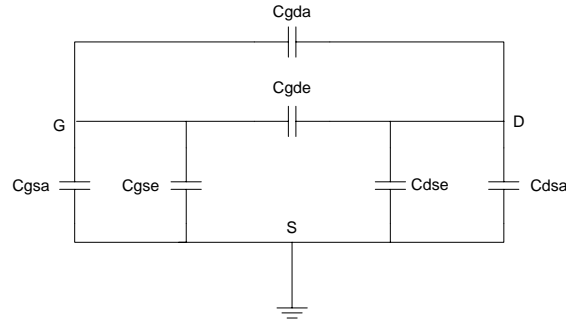


Figura A-3 Circuito simplificado para la extracción de Y_a .

El circuito de la Figura A-3 tiene una configuración bipuerto como la mostrada en la Figura A-1 y permite aplicar las expresiones de los parámetros Y (Ecuación A.1).

$$Y_{11} = \left. \frac{I_{gs}}{V_{gs}} \right|_{V_{ds}=0} ; Y_{12} = \left. \frac{I_{gs}}{V_{ds}} \right|_{V_{gs}=0} ; Y_{21} = \left. \frac{I_{ds}}{V_{gs}} \right|_{V_{ds}=0} ; Y_{22} = \left. \frac{I_{ds}}{V_{ds}} \right|_{V_{gs}=0} \quad (A.3)$$

donde I_{gs} es la suma de las corrientes que circulan a través de C_{gsa} , C_{gse} y C_{gda} , C_{gde} e I_{ds} es la suma de las corrientes que circulan a través de C_{gda} , C_{gde} y C_{dsa} , C_{dse} . Se observa como la rama que une los nodos de puerta y drenador está formada por la capacidad C_{gda} , por lo que el resultado obtenido es:

$$Y_{a11} = \left. \frac{I_{gs}}{V_{gs}} \right|_{V_{ds}=0} ; I_{gs} = \frac{V_{gs}}{1/j\omega(C_{gsa} + C_{gse})} + \frac{V_{gs}}{1/j\omega(C_{gda} + C_{gde})} \quad (A.4)$$

$$Y_{a11} = j\omega(C_{gsa} + C_{gse} + C_{gda} + C_{gde})$$

En el caso de Y_{a12} , se obtiene que toda la corriente circula por la rama de C_{gda} , C_{gde} . Lo mismo sucede para Y_{a21} (intercambiando drenador por fuente en los subíndices), lo que da como resultado:

$$Y_{a12} = Y_{a21} = \left. \frac{I_{gs}}{V_{ds}} \right|_{V_{gs}=0} = -j\omega(C_{gda} + C_{gde}) \quad (A.5)$$

En el caso de Y_{a22} , se procede de forma análoga que en Y_{a11} :

$$Y_{a22} = \left. \frac{I_{ds}}{V_{ds}} \right|_{V_{gs}=0} ; I_{ds} = \frac{V_{ds}}{1/j\omega(C_{dsa} + C_{dse})} + \frac{V_{ds}}{1/j\omega(C_{gda} + C_{gde})} \quad (A.6)$$

$$Y_{a22} = j\omega(C_{dsa} + C_{dse} + C_{gda} + C_{gde})$$

Teniendo en cuenta que $C_{gse} = 5/3 C_{gde}$, $C_{dsa} \gg C_{dse}$ y que $C_{gda} \approx 0$ (capítulo 4.2):

$$\Im(Y_{a11}) = \omega \left(C_{gsa} + \frac{8}{3} C_{gde} \right) \quad (\text{A.7})$$

$$\Im(Y_{a12}) = -\omega (C_{gde}) \quad (\text{A.8})$$

$$\Im(Y_{a22}) = \omega (C_{dsa} + C_{gde}) \quad (\text{A.9})$$

De donde se extraer:

$$C_{gsa} = \frac{\Im(Y_{a11} + \frac{8}{3} Y_{a12})}{\omega} \quad (\text{A.10})$$

$$C_{gde} = -\frac{\Im(Y_{a12})}{\omega} \quad (\text{A.11})$$

$$C_{dsa} = \frac{\Im(Y_{a22} + Y_{a12})}{\omega} \quad (\text{A.12})$$

Finalmente, la matriz de admitancias de acceso en función de la frecuencia (Y_a) es:

$$Y_a = \begin{pmatrix} j\omega \left(C_{gsa} + \frac{8}{3} C_{gde} \right) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega (C_{dsa} + C_{gde}) \end{pmatrix} \quad (\text{A.13})$$

Como se ha visto en los capítulos 2 y 4, la matriz de capacidades extrínsecas dependientes de la geometría del transistor es conocida (Y_π), por lo que se puede expresar:

$$(Y_a) = (Y_{cold-FET}) - (Y_\pi) \quad (\text{A.14})$$

A.3 Extracción de las impedancias de los *pads* (Z_σ)

En este caso se utiliza la modificación del método *cold-FET* tradicional, forzando que $V_{gs} = 0$ V. El circuito resultante se muestra en la Figura A-4.

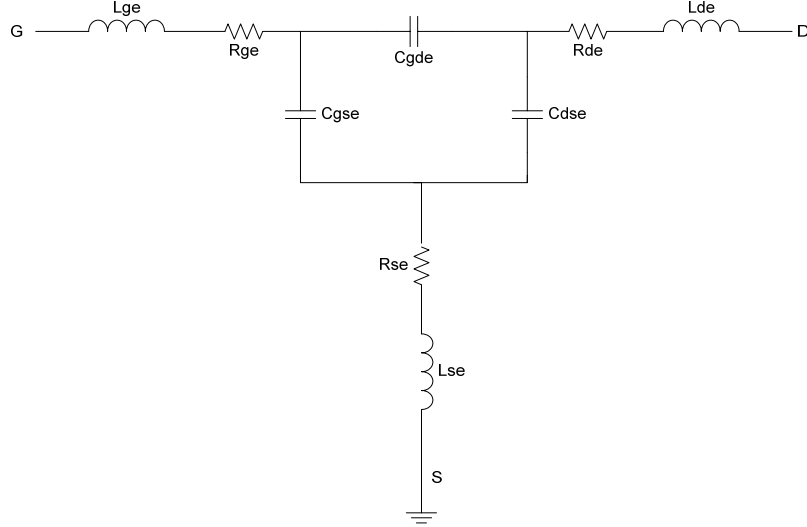


Figura A-4 Circuito considerado para la extracción de la impedancia de los *pads*.

Recuérdese que la impedancia está determinada por:

$$Z_i = R_i + j\omega L_i - \frac{1}{j\omega C_i} \bigg|_{i=s,g,d} \quad (\text{A.15})$$

También es pertinente recordar el origen de las capacidades:

$$C_{gd} = -\frac{\partial q_g}{\partial V_d} \bigg|_{V_s=V_g=0} ; \quad C_{gs} = -\frac{\partial q_g}{\partial V_s} \bigg|_{V_d=V_g=0} ; \quad C_{ds} = -\frac{\partial q_d}{\partial V_s} \bigg|_{V_d=V_g=0} \quad (\text{A.16})$$

Bajo estas condiciones de polarización, las capacidades se comportan como un cortocircuito. Volviendo a considerar el circuito de la Figura A-4 como un circuito bipuerto, se pueden definir las impedancias que se observan desde cada terminal a través de la Ecuación A.15:

$$Z_{gs} = Z_{\sigma 11} = R_{ge} + R_{se} + j\omega(L_{ge} + L_{se}) \quad (\text{A.17})$$

$$Z_{gd} = Z_{\sigma 12} = R_{se} + j\omega L_{se} \quad (\text{A.18})$$

$$Z_{dg} = Z_{\sigma 21} = R_{se} + j\omega L_{se} \quad (\text{A.19})$$

$$Z_{ds} = Z_{\sigma 22} = R_{de} + R_{se} + j\omega(L_{de} + L_{se}) \quad (\text{A.20})$$

La matriz de elementos extrínsecos parásitos correspondientes a los *pads*, Z_σ queda como:

$$Z_\sigma = \begin{pmatrix} R_{ge} + R_{se} + j\omega(L_{ge} + L_{se}) & R_{se} + j\omega(L_{se}) \\ R_{se} + j\omega(L_{se}) & R_{de} + R_{se} + j\omega(L_{de} + L_{se}) \end{pmatrix} \quad (\text{A.21})$$

Con lo que se obtiene, para el conjunto de medidas en *cold-FET*:

$$(Y_{cold-FET}) = (Y_a) + (Z_\sigma)^{-1} + (Y_\pi) \quad (\text{A.22})$$

El valor de las componentes viene dado por:

$$R_{se} = \Re(Z_{\sigma 12}) = \Re(Z_{\sigma 21}) \quad (\text{A.23})$$

$$R_{ge} = \Re(Z_{\sigma 11} - Z_{\sigma 12}) \quad (\text{A.24})$$

$$R_{de} = \Re(Z_{\sigma 22} - Z_{\sigma 12}) \quad (\text{A.25})$$

Las inductancias se obtienen mediante la regresión lineal de las siguientes expresiones, tal y como se describe en el capítulo 4 y en los resultados obtenidos del capítulo 5.

$$\omega \Im(Z_{\sigma 12}) = \omega \Im(Z_{\sigma 21}) = \omega^2 L_{se} \quad (\text{A.26})$$

$$\omega \Im(Z_{\sigma 11} - Z_{\sigma 12}) = \omega^2 L_{ge} \quad (\text{A.27})$$

$$\omega \Im(Z_{\sigma 22} - Z_{\sigma 12}) = \omega^2 L_{de} \quad (\text{A.28})$$

A continuación se expone un ejemplo de dicha representación gráfica:

Como se puede observar, la función a representar es de la forma

$$y = \omega^2 \alpha + \omega \beta + \gamma = \omega(\omega \alpha + \beta) + \gamma \quad (\text{A.29})$$

de modo que una de las soluciones para L_x será el valor correspondiente al término que acompañe a ω . La otra solución es una constante, por lo que no aporta ninguna información. La representación gráfica de esta función y su posterior regresión lineal se muestran en la Figura A-5.

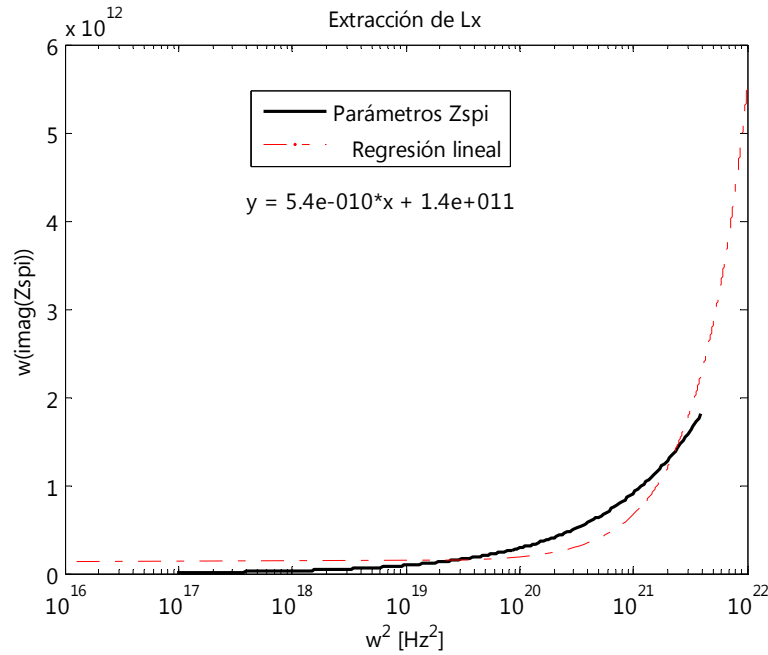


Figura A-5 Ejemplo de extracción de inductancia mediante regresión lineal.

Como puede observarse en la representación gráfica de la figura anterior, el valor de L_x sería 5.4×10^{-10} H.

A.4 Extracción de los parámetros intrínsecos (Y_{int})

Para la extracción de los parámetros intrínsecos del transistor *LDMOS*, debe recordarse el modelo presentado de pequeña señal:

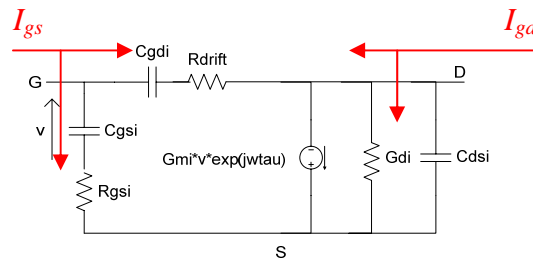


Figura A-6 Circuito considerado para la extracción de los parámetros intrínsecos.

De forma análoga a la extracción de los parámetros de acceso, se aplican las definiciones de los parámetros Y sobre el circuito bipuerto mostrado en la Figura A-6, teniendo en cuenta que para este apartado el transistor *LDMOS* trabaja en saturación.

$$Y_{\text{int}11} = \left. \frac{I_{gs}}{V_{gs}} \right|_{V_{ds}=0}$$

$$I_{gs} = \frac{V_{gs}}{1/j\omega C_{gsi} + R_{gsi}} + \frac{V_{gs}}{1/j\omega C_{gdi} + R_{drift}} = \frac{V_{gs} j\omega C_{gsi}}{1 + j\omega C_{gsi} R_{gsi}} + \frac{V_{gs} j\omega C_{gdi}}{1 + j\omega C_{gdi} R_{drift}} \quad (\text{A.30})$$

$$Y_{\text{int}11} = j\omega \left(\frac{C_{gsi}}{1 + j\omega C_{gsi} R_{gsi}} + \frac{C_{gdi}}{1 + j\omega C_{gdi} R_{drift}} \right)$$

Para $Y_{\text{int}12}$ se procede idénticamente, dando lugar a la expresión A.30:

$$Y_{\text{int}12} = \left. \frac{I_{gs}}{V_{ds}} \right|_{V_g=0} = \frac{V_{ds}}{1/j\omega C_{gdi} + R_{drift}} = - \frac{j\omega C_{gdi}}{1 + j\omega C_{gdi} R_{drift}} \quad (\text{A.31})$$

El mismo método sirve para $Y_{\text{int}21}$, considerando la contribución de la transconductancia controlada por la tensión de puerta:

$$Y_{\text{int}21} = \left. \frac{I_{ds}}{V_{gs}} \right|_{V_{ds}=0} = \frac{G_{mi} v \cdot e^{-j\omega\tau} - \frac{V_{gs}}{1/j\omega C_{gdi} + R_{drift}}}{V_{gs}} \quad (\text{A.32})$$

$$Y_{\text{int}21} = \frac{G_{mi} e^{-j\omega\tau}}{(1 + j\omega C_{gsi} R_{gsi})} - \frac{j\omega C_{gdi}}{(1 + j\omega C_{gdi} R_{drift})}$$

donde v se extrae a partir del divisor de tensión formado por C_{gsi} y R_{gsi} :

$$v = \frac{V_{gs}}{1 + j\omega C_{gsi} R_{gsi}} \quad (\text{A.33})$$

Por último, para la obtención de $Y_{\text{int}22}$ se considera la contribución de la conductancia de drenador (con dimensiones de admitancia):

$$Y_{\text{int}22} = \left. \frac{I_{ds}}{V_{ds}} \right|_{V_{gs}=0} = G_{dsi} + j\omega C_{dsi} + Y_{12} \quad (\text{A.34})$$

El resultado es:

$$Y_{\text{int}22} = G_{\text{dsi}} + j\omega \left(C_{\text{dsi}} + \frac{C_{\text{gdi}}}{1 + j\omega C_{\text{gdi}} R_{\text{drift}}} \right) \quad (\text{A.35})$$

Finalmente, la matriz de elementos intrínsecos obtenida es:

$$Y_{\text{int}} = \begin{pmatrix} j\omega \left(\frac{C_{\text{gsi}}}{1 + j\omega R_{\text{gsi}} C_{\text{gsi}}} + \frac{C_{\text{gdi}}}{1 + j\omega R_{\text{drift}} C_{\text{gdi}}} \right) & -j\omega \frac{C_{\text{gdi}}}{1 + j\omega R_{\text{drift}} C_{\text{gdi}}} \\ \frac{G_{\text{mi}} e^{-j\omega\tau} - j\omega C_{\text{gsi}}}{1 + j\omega R_{\text{gsi}} C_{\text{gsi}}} - j\omega \frac{C_{\text{gdi}}}{1 + j\omega R_{\text{drift}} C_{\text{gdi}}} & G_{\text{dsi}} + j\omega \left(C_{\text{dsi}} + \frac{C_{\text{gdi}}}{1 + j\omega R_{\text{drift}} C_{\text{gdi}}} \right) \end{pmatrix} \quad (\text{A.36})$$

Y la extracción directa de parámetros queda expresada como:

$$G_{\text{mi}} = - \frac{|Y_{\text{int}21} - Y_{\text{int}12}|}{|Y_{\text{int}11} + Y_{\text{int}12}|} \frac{1}{\Im \left(\frac{1}{Y_{\text{int}11} + Y_{\text{int}12}} \right)} \quad (\text{A.37})$$

$$G_{\text{dsi}} = \Re(Y_{\text{int}22} + Y_{\text{int}12}) \quad (\text{A.38})$$

$$C_{\text{gsi}} = \frac{1}{\omega \Im \left(\frac{1}{Y_{\text{int}11} + Y_{\text{int}12}} \right)} \quad (\text{A.39})$$

$$C_{\text{gdi}} = - \frac{1}{\omega \Im \left(\frac{1}{Y_{\text{int}12}} \right)} \quad (\text{A.40})$$

$$C_{\text{dsi}} = \frac{\Im(Y_{\text{int}22} + Y_{\text{int}12})}{\omega} \quad (\text{A.41})$$

$$R_{\text{drift}} = -\Re \left(\frac{1}{Y_{\text{int}12}} \right) \quad (\text{A.42})$$

$$R_{\text{gsi}} = \Re \left(\frac{1}{Y_{\text{int}11} + Y_{\text{int}12}} \right) \quad (\text{A.43})$$

$$\tau = \frac{1}{\omega} \arctan \left\{ \frac{\Im \left\{ (Y_{\text{int}21} - Y_{\text{int}12}) / (1 + j\omega R_{\text{gsi}} C_{\text{gsi}}) \right\}}{\Re \left\{ (Y_{\text{int}21} - Y_{\text{int}12}) / (1 + j\omega R_{\text{gsi}} C_{\text{gsi}}) \right\}} \right\} \quad (\text{A.44})$$

Finalmente, es posible expresar en forma matricial la suma de todas las componentes que corresponden a una medida de parámetros S en saturación:

$$(Y_s) = (Y_a) + (Z_\sigma)^{-1} + (Y_\pi) + (Y_{\text{int}}) \quad (\text{A.45})$$

A.5 Referencias

- [1] Laux SE, “*Techniques for small-signal analysis of semiconductor devices*”. IEEE Trans on Electron Dev 1985;ED-32(10):2029-37
- [2] Tsividis YP, “*Operation and modelling of the MOS transistor*” McGraw-Hill Series in Electrical Engineering, 1987

Apéndice B

Calibración y medidas sobre oblea de RF

B.1 Introducción

Las medidas de transistores de RF sobre oblea tienen como objetivo aportar información sobre la evolución con la frecuencia de las figuras de mérito (*FOM*) más importantes: la ganancia en corriente (G_I) y la ganancia unilateral (U). A partir de los parámetros S resultantes de la medida se puede extraer información útil para la determinación de los parámetros intrínsecos y extrínsecos del transistor que han de ser introducidos en circuito de pequeña señal. Una vez calculados estos elementos circuitales, se procede a optimizar el diseño del transistor, evaluando el efecto de cada uno de ellos sobre el rendimiento en frecuencia.

Sin embargo, las medidas de RF habitualmente incluyen errores inherentes a los aparatos de medida, la mesa de puntas, y sobretodo al conexionado con el transistor. Por esta razón, la caracterización en RF de transistores se realiza con una estación de RF equipada con cables coaxiales y coplanares y un analizador de redes vectorial. Las medidas se hacen directamente sobre oblea para evitar los elementos parásitos debidos a las soldaduras y al encapsulado.

El sistema de medida empleado (Figura B-1) consiste básicamente un analizador de redes vectorial (*VNA*) para medir los parámetros S del transistor (*DUT*), es decir, la relación entre la energía transmitida y reflejada. Antes de realizar las medidas es preciso calibrar el sistema. Para ello se define el plano de referencia de la medida, o punto límite de la medida, que en nuestro caso corresponde a las puntas de la sonda de medida RF. El plano de referencia puede establecerse midiendo elementos patrones con características eléctricas conocidas. Existen cuatro patrones estándar de calibrado: *Short*, *Open*, *Load* y *Thru* (método de calibración *SOLT*)

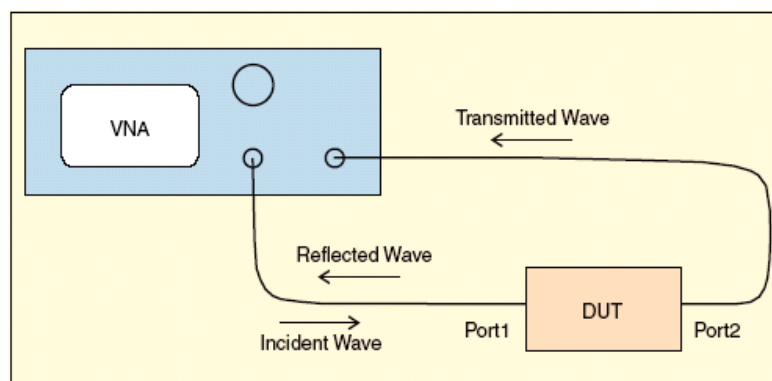


Figura B-1 Esquema básico del sistema de medida en RF.

El sistema de medida de RF caracteriza todos los elementos conectados en el plano de referencia. Si se consigue eliminar cualquier no idealidad proveniente del VNA, de los cables, conectores, mezcladores y puntas de medida, entonces la relación entre las ondas transmitida y reflejada capturadas por el VNA corresponderá directamente a los parámetros S del DUT .

Las funciones de calibración del VNA permiten al usuario del instrumento guardar medidas de los patrones estándar, para computar modelos de error y automáticamente aplicar correcciones a las medidas del DUT . El VNA emplea múltiples patrones de calibración estándar. Los típicos son el cortocircuito (*Short*), la conexión en circuito abierto (*Open*), la conexión con carga adaptada (*Load*) y finalmente la conexión a través de una línea de transmisión de $50\ \Omega$ de 1 ps de retardo (*Through*). Si no se efectúa un calibrado adecuado del instrumento pueden aparecer resultados que a priori se tomen por correctos pero que sean de nula utilidad. Un ejemplo de estación de medida RF conectada al VNA se muestra en la Figura B-2.

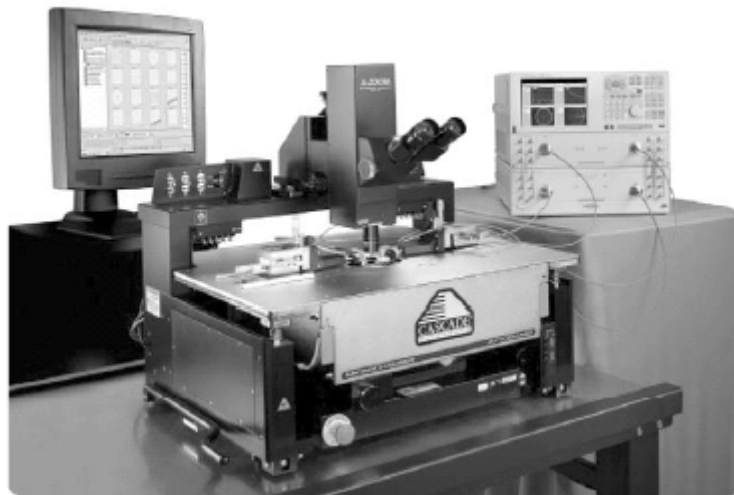


Figura B-2 Estación de medida de RF para caracterización de dispositivos a alta frecuencia.

B.2 Descripción de las sondas de RF

La sonda de RF se encarga de efectuar una transición de la señal de RF de un medio a otro. Por ejemplo, los cables que conectan el VNA a la sonda pueden ser coaxiales mientras que las puntas de contacto con la oblea son guías de onda coplanares (*CPW lines*). Los factores que marcan una buena transición de la señal RF son: la variación de la impedancia característica (Z_0) que requiere una transformación de impedancias y la variación de las líneas de campo electromagnético (EM).

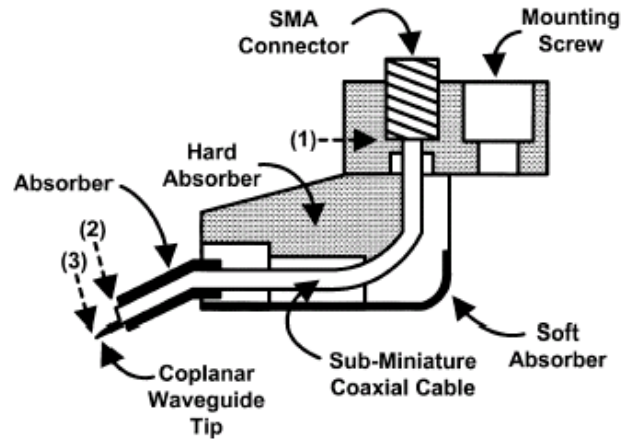


Figura B-3 Sección transversal de una sonda de RF.

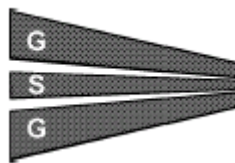


Figura B-4 Puntas coplanares de la sonda de RF

En la Figuras B-3 y B-4 se ilustra la sección transversal de una sonda de RF, y las puntas coplanares (*Coplanar Waveguide Tip*) que contactan con los *pads* del transistor.

El funcionamiento de la sonda de RF se puede explicar en función de las transiciones de la señal de RF:

1. **Transición entre instrumento y sonda:** La máxima frecuencia que se desea medir determina el tipo de conector empleado para la transición. Si se efectúan medidas por debajo de 34 GHz el cable de conexión más habitual es el coaxial. Si la frecuencia se encuentra en el rango de 34-65 GHz se pueden emplear cables coaxiales o guías de onda rectangulares. Por encima de los 65 GHz los cables coaxiales tienen unas pérdidas excesivas, por lo que se sólo se pueden usar guías de onda rectangulares. Con estas guías aparece una transición adicional a cable coaxial en el interior de la sonda (indicado por *Sub-Miniature Coaxial Cable* en la Figura B-3). Una transición directa entre guía de onda rectangular a CPW eliminaría esta segunda transición.
2. **Transición dentro de la sonda:** Esta transición es de cable coaxial a CPW. Las puntas CPW están soldadas al cable coaxial, mientras que el otro extremo de las puntas es contacta con los *pads* del transistor. En el diseño de las puntas debe tenerse en cuenta las posibles pérdidas por efecto *skin* y las pérdidas por radiación. Como regla general, las pérdidas por *skin* varían según $\sqrt{f/\omega}$ (dB/mm) donde f es la frecuencia y w es la anchura de la punta central de la CPW. Las pérdidas por radiación, aunque son poco relevantes, varían según $f^3 \cdot \omega^2$ (dB/mm). Las puntas CPW deben ser suficientemente largas (~17 mm) para lo suficientemente flexibles. Las puntas CPW actuales son hojas delgadas de metal obtenidas a partir de un ataque con láser de láminas de Cobre-Berilio (*BeCu*) o de Tungsteno (*W*). La flexibilidad de las puntas de *BeCu* permite medir sobre *pads* de oro en obleas frágiles de *GaAs*.

Otra característica importante de las puntas de *BeCu* es su baja resistencia de contacto. Los *pads* de aluminio se van oxidando con la consiguiente variación de la resistencia de contacto. Las puntas de *W* son suficientemente duras y firmes para poder romper el óxido superficial de los *pads* de aluminio. Finalmente, si las puntas CPW de *BeCu* o *W* se bañan en oro las pérdidas por efecto *skin* se reducen.

3. **Transición de las puntas al DUT:** Cuando se realiza la calibración se considera que el extremo de las puntas CPW es el plano de referencia de la medida. Sin embargo, las puntas no pueden contactar directamente con el DUT debido a que éste es mucho menor que las mismas. Es preciso, pues, implementar unos *pads* adecuados a las puntas y unas líneas poco resistivas que interconecten los *pads* con el DUT. En el proceso *de-embedding* se han considerado tanto los *pads* como las líneas de interconexión, que pueden llegar a introducir parásitos de mayor valor que el propio DUT, sobretodo si no se respetan las reglas de diseño.

B.3 Configuración de las puntas CPW

Tal como se ha visto en la sección anterior, la sonda para medidas RF se compone de un conector coaxial, del cuerpo de la sonda donde se realiza la transición de coaxial a CPW, y las puntas CPW que contactan con los *pads* del transistor. Los contactos típicos de RF son de señal (*signal* - S) o masa (*ground* - G). El contacto S está unido eléctricamente al pin central del cable coaxial mientras que el contacto G está unido al cilindro de masa del cable coaxial. La configuración típica de puntas de medida en sondas de RF, como la de la Figura B-4, es *Ground-Signal-Ground* (GSG). No obstante, existe también la configuración (GS) o (SG), como se muestra en la Figura B-5 (b).

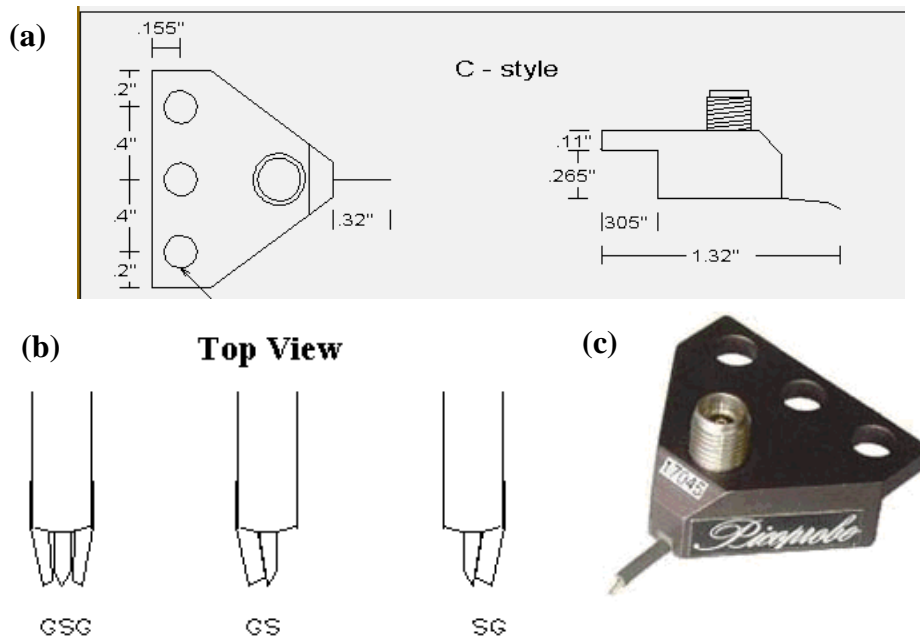


Figura B-5 (a) Esquema de una sonda de puntas, (b) diferentes configuraciones de las puntas de medida y (c) ejemplo de unas puntas Picoprobe con configuración GSG.

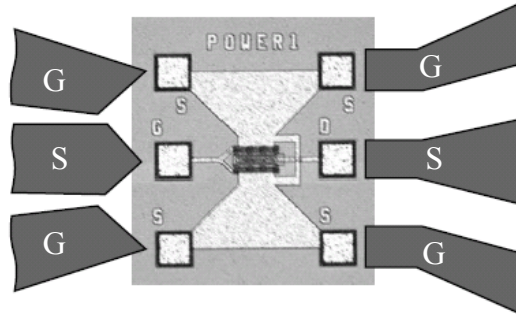


Figura B-6 Layout con la típica configuración de pads GSG.

En la imagen de la Figura B-6 se muestra un layout con configuración típica GSG para realizar las medidas sobre el *DUT*. Tal como se puede ver en la Figura, se requieren dos puntas de medida GSG. Los *pads* de señal (S) están conectados a los terminales de puerta y drenador del dispositivo, mientras que los *pads* de masa están conectados al terminal de fuente.

En la siguiente imagen (Figura B-7) se presenta un esquema de los *layouts* con las dos configuraciones de *pads* de medida empleadas y con las sondas de conexión (*Probe tips*) conectadas a los *pads* por los extremos.

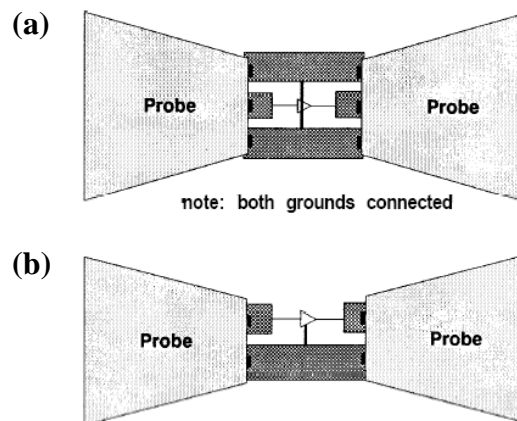


Figura B-7 Esquema del layout apropiado para medidas RF con puntas CPW con los dos tipos de configuración (a) GSG y (b) GS.

En la configuración GSG, los *pads* de los extremos (G) están conectados entre sí formando un camino de masa de baja impedancia. Los *pads* del centro (S) sirven para recibir o transmitir la señal RF. Esta configuración consigue un excelente ancho de banda debido a la simetría de las líneas de campo eléctrico (Figura B-8 (a)), siendo la más empleada en medidas de altas frecuencia ($f > 10$ GHz). Respecto a la configuración GS (Figura B-8 (b)), la generación de líneas asimétricas de campo eléctrico provoca una disminución del ancho de banda de la medida. La reducción del número de *pads* requerido para la medida permite disminuir el tamaño de los accesos al transistor, dando lugar a una mayor densidad de integración de transistores por chip. Sin embargo, medidas realizadas con esta configuración demuestran que la inductancia parásita de modo común debido a las pistas de masa de acceso es unas cuatro veces mayor que en el caso de GSG. Además este aumento de la inductancia es aun mayor cuando se aumenta la frecuencia, reduciendo el ancho de banda de la medida.

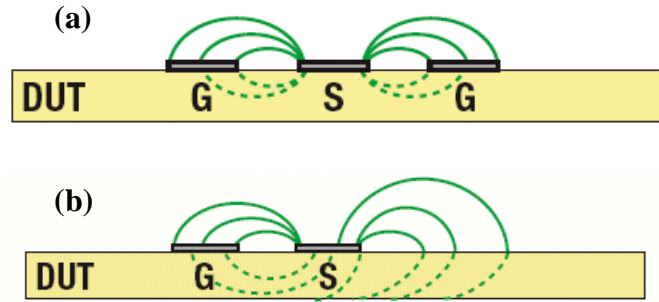


Figura B-8 Generación de líneas de campo eléctrico en una configuración de pads (a) GSG y (b) GS.

B.4 Parásitos asociados con los *pads* y pistas de interconexión

Para modelar dispositivos con precisión es necesario estudiar todos los parásitos asociados a los accesos al *DUT*, es decir, a los *pads* donde se contactan las puntas *CPW* y las pistas de interconexión que conducen las señales hasta el *DUT*. La Figura B-9 muestra un esquema de los *pads* y las pistas de acceso que necesarias para hacer medir el *DUT*, junto con los parásitos que generan. La sección transversal de una oblea (Figura B-9 (a)) muestra un *pad* de conexión sobre una capa de dieléctrico. El valor de la capacidad asociada al *pad* (C_{pad}) depende principalmente de las dimensiones del mismo y del grosor y tipo de dieléctrico empleado. Además, el valor de la resistencia asociada al *pad* (R_{pad}) depende de la resistividad del substrato y de las dimensiones del *pad*. A alta frecuencia, C_{pad} y R_{pad} se convierten en funciones dependientes de la frecuencia. Una aproximación de los parásitos generados en los *pads* y pistas de interconexión a frecuencias menores de 3 GHz se ilustra en la Figura B-9 (b). El valor de las resistencias y capacidades dependen del acoplamiento entre las pistas y los *pads* a través del substrato.

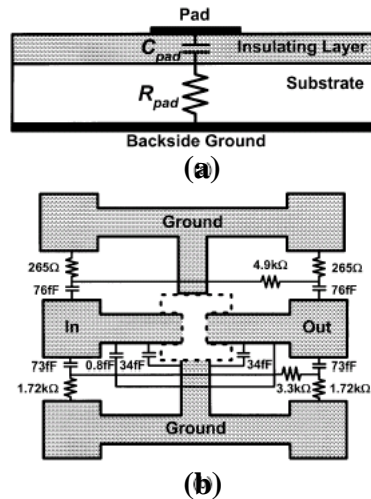


Figura B-9 Parásitos asociados a los *pads* y a las pistas de interconexión de los accesos al *DUT*.

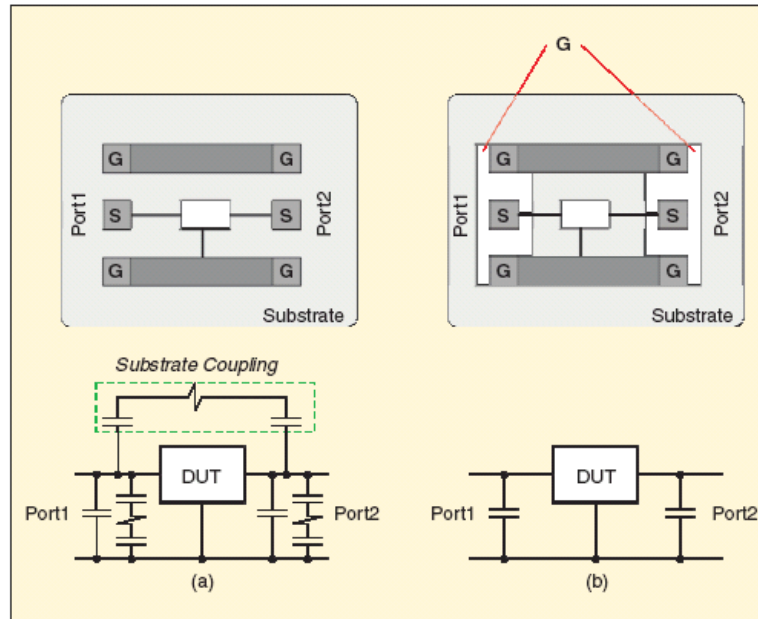


Figura B-10 Comparativa de los parásitos generados por las pistas de acceso a través del sustrato con y sin apantallamiento de los pads de señal.

La configuración GSG convencional puede generar pérdidas excesivas por el sustrato, debido a su poca resistividad en la mayoría de las aplicaciones de RF. Los parásitos que se generan debido al sustrato se ilustran en la Figura B-10 (a), donde se ha dibujado la sección transversal del circuito equivalente del layout desde el *pad* de señal (S) al *pad* de masa (G). La segunda configuración de layout empleada en la Figura B-10 (b) incorpora un apantallamiento de los *pads* de señal mediante una capa de metal enterrada, conectada a masa.

De esta forma, se consigue aislar los *pads* de señal del sustrato y minimizar las pérdidas por corriente de fugas, así como el acoplamiento entre los puertos de conexión, garantizando unas medidas más precisas y con menos ruido.

Los transistores *LDMOS* fabricados en la Sala Blanca del CNM disponen de un único nivel de metal, lo que imposibilita el diseño de *pads* con apantallamiento. Con objeto de atenuar al máximo las corrientes de fuga y acoplamientos entre los *pads*, se han elegido sustratos tipo P de bajo dopaje ($7 \times 10^{14} \text{ cm}^{-3}$).

B.5 De-embedding de los parásitos de acceso

Para realizar una medida RF de precisión es preciso considerar la generación de parásitos en los *pads* y pistas de interconexión. Es, por tanto, necesario extraer estos parásitos para poder ser eliminados de la medida y dejar sólo los parásitos relativos al DUT. Este proceso de extracción de todos los parásitos externos al dispositivo hasta dejar sólo los elementos intrínsecos que dan información válida del transistor se conoce como proceso de *de-embedding*. Si no se realiza este proceso, las medidas quedan enmascaradas por los parásitos que envuelven al dispositivo. Se han publicado muchos métodos de *de-embedding* para realizar medidas RF de precisión, siendo el más común y eficaz el uso de estructuras *Dummy*.

Este método consiste en emplear el mismo sistema de calibración estándar del VNA (*SOLT*) sobre unas estructuras *Dummy* que simulan las condiciones de *Short*, *Open*, *Load* y *Through*. Dichas estructuras son diseños de *layouts* idénticos a los empleados en las medidas del *DUT*, pero sin el transistor. Es decir, *layouts* con sólo metalizaciones y *pads*. El *DUT* y las estructuras *Dummy* están situados en el mismo chip, tal como se puede ver en la Figura B-11.

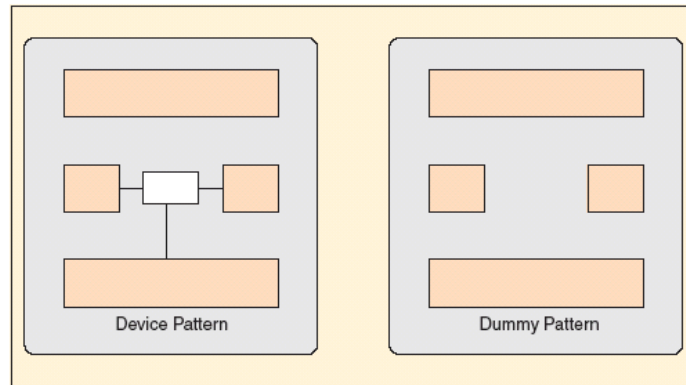


Figura B-11 Diseño de Layout con DUT (estructura de medida) y sin DUT (estructura Dummy)

Gracias a las estructuras *Dummy* es posible re-calibrar el VNA considerando los parásitos correspondientes a los elementos de acceso. De esta forma, una vez calibrado el VNA con las estructuras *Dummy* ya se pueden realizar medidas sobre el *DUT* sin los pasos previos necesarios para extraer los parásitos de acceso. Sin embargo, la precisión de este método depende del número de estructuras *Dummy* empleadas, con la pérdida de espacio que ello conlleva. Además, teniendo en cuenta que el grosor del óxido puede variar en diferentes puntos de la oblea, es necesario situar las estructuras *Dummy* lo más cerca posible del dispositivo a medir. Un ejemplo de las estructuras *Dummy* con las configuraciones *Short*, *Open*, *Load* and *Through* se ilustra en la Figura B-12.

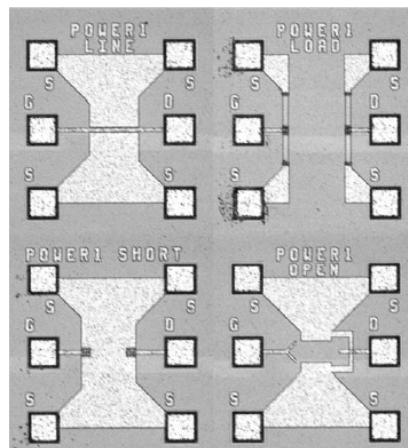


Figura B-12 Estructuras Dummy para la calibración del DUT

En conclusión, el proceso de *de-embedding* para las medidas sobre oblea de dispositivos de RF con estructuras *Dummy* consiste en los siguientes pasos:

- Calibración del VNA hasta las puntas de las sondas CPW. Para ello se suele emplear un *kit* estándar de calibración sobre oblea. Los diseños contenidos en este *kit* de fabricación son básicamente resistencias planares de precisión, conexiones en cortocircuito y líneas de transmisión de $50\ \Omega$.
- Medida de los parámetros S de las estructuras *Dummy* y conversión a parámetros Y .
- Medida de los parámetros S del *DUT* y conversión a parámetros Y .
- La diferencia entre los parámetros Y del *DUT* y los parámetros Y del *Dummy* da la matriz Y del transistor, libre de parásitos externos. Los resultados de la matriz Y resultante son de nuevo convertidos a parámetros S para su representación gráfica.

En los *layouts* empleados en este proyecto no se dispone de estructuras *Dummy* para la calibración, de modo que la extracción de los *pads* y las pistas de interconexión de acceso deben realizarse siguiendo una metodología menos eficaz.

B.6 Reglas para el diseño de los *layouts*

En esta sección se citan las reglas más importantes a tener en cuenta en el diseño de los *pads* y las pistas de acceso al *DUT*.

- En primer lugar es preferible disponer de *pads* pequeños para atenuar efectos parásitos. Sin embargo, el tamaño del *pad* de metal y de la ventana de pasivación deben ser suficientemente grandes para acomodar las puntas de medida con un cierto margen de maniobra. El tamaño mínimo de *pad* es de $50 \times 50\ \mu\text{m}$, con una ventana de pasivación mínima de $96 \times 96\ \mu\text{m}$.
- Los *pads* GSG han de ser cuadrados y la separación entre ellos (*Pitch*) debe mantenerse constante. El tamaño mínimo de *pitch* es de $50\ \mu\text{m}$ pero su valor estándar es de $150\ \mu\text{m}$. Otro dato a tener en cuenta es la distancia mínima entre las dos líneas paralelas de *pads* GSG que debe ser de $200\ \mu\text{m}$. Compactar en exceso los *pads* no es aconsejable debido a que se pueden producir excesivas pérdidas parásitas por la interacción entre ellos. Todos estos detalles se ilustran en la Figura B-13 donde se muestra el detalle de un *layout* con la típica configuración GSG y las cotas mínimas y máximas aconsejadas. Los *pads* de entrada (puerto 1 del dispositivo) se posicionan a la izquierda del dispositivo y los de salida (puerto 2 del dispositivo) a la derecha del mismo.

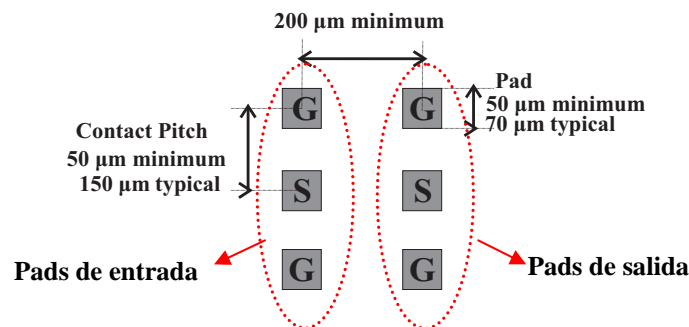


Figura B-13 Layout con la típica configuración GSG junto con las reglas de diseño.

- En cuanto a la pasivación, la distancia desde la superficie del *pad* a la superficie de la pasivación no debe exceder las 40 μm (Figura B-14). Además, la ventana de pasivación debe permitir situar la punta de medida a 25 μm de distancia del extremo de pasivación.

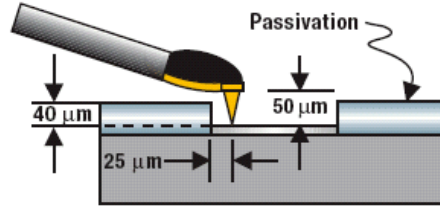


Figura B-14 Cotas mínimas a tener en cuenta entre el nivel de pasivación y los pads de medida.

- Todos los *pads* de masa (G) de entrada y salida deben estar interconectados entre sí a través de las pistas de conexión para minimizar la impedancia en modo común.
- Los *pads* de Oro son los más adecuados por su baja resistencia de contacto ($< 0.01 \Omega$) en comparación con las resistencias de contacto obtenidas en Aluminio ($0.1 - 0.3 \Omega$). Por otro lado, con el tiempo se forma una fina capa de óxido superficial en los *pads* de Aluminio que afectan a las medidas.

Los transistores *LDMOS* medidos tienen unos *pads* cuadrados de Aluminio de $70 \times 70 \mu\text{m}$ con un *pitch* de $150 \mu\text{m}$. Las puntas recomendadas en este caso son las de Tungsteno. En la Figura B-15 se muestra una imagen obtenida con microscopio óptico del *layout* diseñado en el CNM para las medidas en RF de los transistores *LDMOS*. Se pueden apreciar claramente los *pads* GSG de Aluminio, las pistas de acceso para drenador y fuente, y la pista de polisilicio para la puerta. El transistor multicelular en tiras paralelas se encuentra en el centro del *layout*.

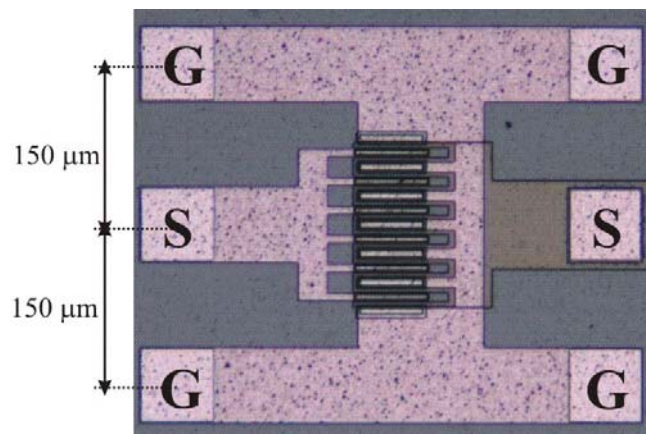


Figura B-15 Imagen de microscopio óptico del *layout* diseñado para las medidas de los transistores *LDMOS*.

B.7 Referencias

- [1] Agilent, *IC-CAP Characterization and modelling handbook*
http://eesof.tm.agilent.com/docs/iccap2002/iccap_md1_handbook.html
- [2] Agilent Technologies Application Notes
1287-1: *Understanding the Fundamental Principles of Vector Network Analyzers*, Pub. N° 5965-7710E, 1997
1287-2: *Exploring the Architectures of Network Analyzers*, Pub. N° 5965-7708E, 1997
1287-4: *Network Analyzers Measurements: Filter and Amplifiers Examples*, Pub. N° 5965-7710E, 1997

Apéndice C

Archivos MATLAB

C.1 Introducción

En este apéndice se incluyen todos los códigos utilizados para la extracción de los componentes circuitales del modelo completo de pequeña señal obtenido. En los casos en los cuales el código hace referencia a un archivo, siempre se refiere a un fichero de texto obtenido del entorno de simulación o de medida directa de parámetros S , bajo polarización determinada, según corresponda en cada caso. A continuación se exponen los códigos.

C.2 Archivos para la extracción de las capacidades extrínsecas

C.2.1 Función *Capext*

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% SIMULACIONES EN FRIO: Cálculo de Cgse, Cdse, Cgde %
%-----%
% EXTRACCIÓN DE CAPACIDADES DEBIDAS A LOS METALES %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

clear all;
clc;
format long g

W=1280; % W del transistor

% Llamada a las funciones Capwithmet y Capwithoutmet
Capwithmet
Capwithoutmet

% Carga de variables
% Extracción de las capacidades del fichero de simulación del LDMOS
% con metales
load Cgswm.txt;
load Cgdwm.txt;
load Cdswm.txt;
% Extracción de las capacidades del fichero de simulación del LDMOS
% sin metales
load Cgswom.txt;
load Cgdwom.txt;
load Cdswom.txt;

%Resultado final de las capacidades extrínsecas debidas al metal
Cgsm=Cgswm-Cgswom;
Cgdm=Cgdwm-Cgdwom;
Cdsm=Cdswm-Cdswom;
```

```
%Capacidad fringing entre puerta y fuente
Eox=3.9*8.85e-14 %[F/cm]
alfa=pi/2 %[rad]
tp=0.48e-4 %[cm] grosor de la capa de polisilicio
tox=0.04e-4 %[cm] grosor del óxido de puerta
Width=W*1e-4 %[cm] W del transistor en cm

Cfr=(Eox/alfa)*log(1+(tp/tox))*Width

%Resultado de las capacidades extrínsecas
Cgse=mean(Cgsm)+Cfr;
Cgde=mean(Cgdm);
Cdse=mean(Cdsm);
```

C.2.2 Cálculo de C_{ij} sin metales

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% SIMULACIONES EN FRIO: Cálculo de Cgse, Cdse, Cgde %
%-----%
% LDMOS without metals (Cdsom, Cgdwom, Cgswom) %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

clear all;
clc;
format long g

[frec,realS11,imagS11,realS12,imagS12,realS21,imagS21,realS22,imagS22]=
textread('S-VgVd0W0-withoutmet.txt','%f%f%f%f%f%f%f%f');
w=2*pi.*frec; %[rad]
Z0=50; %[ohms]
Y0=1/Z0; %[1/ohms]
W=1280 %[um] W del transistor

% Definición de la matriz S
%-----
for x=1:length(frec),
    S11(x)=realS11(x)+i*imagS11(x);
    S12(x)=realS12(x)+i*imagS12(x);
    S21(x)=realS21(x)+i*imagS21(x);
    S22(x)=realS22(x)+i*imagS22(x);
end;

S=[S11(1:length(frec)),S12(1:length(frec));S21(1:length(frec)),S22(1:length(frec))];

% Conversión de parámetros S a Y
%-----
sum=(1+S11).*(1+S22);
prod=S12.*S21;
sum=sum-prod;
Y11=((1-S11).*(1+S22)+prod)./(sum);
Y12=(-2*S12)./(sum);
Y21=(-2*S21)./(sum);
Y22=((1+S11).*(1-S22)+prod)./(sum);

Y=[Y11(1:length(frec)),Y12(1:length(frec));Y21(1:length(frec)),Y22(1:length(frec))];

% Normalización
%-----
Y11N=Y0*Y11;
Y12N=Y0*Y12;
Y21N=Y0*Y21;
Y22N=Y0*Y22;
```

```

Y11W=Y0*Y11*W;
Y12W=Y0*Y12*W;
Y21W=Y0*Y21*W;
Y22W=Y0*Y22*W;

YN=[Y11N(1:length(frec)),Y12N(1:length(frec));Y21N(1:length(frec)),Y22N(1:length(frec))];
YW=[Y11W(1:length(frec)),Y12W(1:length(frec));Y21W(1:length(frec)),Y22W(1:length(frec))];

% Definición de los parámetros intrínsecos
%-----
for x=1:length(frec)
    gmi(x)=-abs((Y21W(x)-
    Y12W(x))/(Y11W(x)+Y12W(x)))*(1/imag(1/(Y11W(x)+Y12W(x)))));
    gdi(x)=real(Y22W(x)+Y12W(x));
    Cgsi(x)=1/(w(x)*(1/imag(Y11W(x)+Y12W(x))));
    Cgdi(x)=-1/(w(x)*(1/imag(Y12W(x))));
    Cdsi(x)=imag(Y22W(x)+Y12W(x))/w(x);
    Rdr(x)=-1/real(Y12W(x));
    Rgsi(x)=real(1/(Y11W(x)+Y12W(x)));
    taui(x)=(1/w(x))*atan(imag(Y21W(x)-
    Y12W(x))/(1+i*w(x)*Rgsi(x)*Cgsi(x)))/real(Y21W(x)-
    Y12W(x))/(1+i*w(x)*Rgsi(x)*Cgsi(x)));
end

save Cgswom.txt Cgsi -ascii;
save Cgdwom.txt Cgdi -ascii;
save Cdsowm.txt Cdsi -ascii;

```

C.2.3 Cálculo de C_{ij} con metales

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% SIMULACIONES EN FRIO: Calculo de Cgse, Cdse, Cgde %
%-----%
%      LDMOS with metals (Cdsom, Cgdwm, Cgswm)      %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

clear all;
clc;
format long g

[frec,realS11,imagS11,realS12,imagS12,realS21,imagS21,realS22,imagS22]=textread('S-VgVd0W0-withmet.txt','%f%f%f%f%f%f%f%f%f');
w=2*pi.*frec; %[rad]
Z0=50; %[ohms]
Y0=1/Z0; %[1/ohms]
W=1280 %[um] W del transistor

% Definición de la matriz S
%-----
for x=1:length(frec),
    S11(x)=realS11(x)+i*imagS11(x);
    S12(x)=realS12(x)+i*imagS12(x);
    S21(x)=realS21(x)+i*imagS21(x);
    S22(x)=realS22(x)+i*imagS22(x);
end;

S=[S11(1:length(frec)),S12(1:length(frec));S21(1:length(frec)),S22(1:length(frec))];

```

```
% Conversión de parámetros S a Y
%-----
sum=(1+S11).*(1+S22);
prod=S12.*S21;
sum=sum-prod;
Y11=((1-S11).*(1+S22)+prod)./(sum);
Y12=(-2*S12)./(sum);
Y21=(-2*S21)./(sum);
Y22=((1+S11).*(1-S22)+prod)./(sum);

Y=[Y11(1:length(frec)),Y12(1:length(frec));Y21(1:length(frec)),Y22(1:length(frec))];

% Normalización
%-----
Y11N=Y0*Y11;
Y12N=Y0*Y12;
Y21N=Y0*Y21;
Y22N=Y0*Y22;

Y11W=Y0*Y11*W;
Y12W=Y0*Y12*W;
Y21W=Y0*Y21*W;
Y22W=Y0*Y22*W;

YN=[Y11N(1:length(frec)),Y12N(1:length(frec));Y21N(1:length(frec)),Y22N(1:length(frec))];
YW=[Y11W(1:length(frec)),Y12W(1:length(frec));Y21W(1:length(frec)),Y22W(1:length(frec))];

% Definición de los parámetros intrínsecos
%-----
for x=1:length(frec)
    gmi(x)=-abs((Y21W(x)-
Y12W(x))/(Y11W(x)+Y12W(x)))*(1/imag(1/(Y11W(x)+Y12W(x)))));
    gdi(x)=real(Y22W(x)+Y12W(x));
    Cgsi(x)=1/(w(x)*(1/imag(Y11W(x)+Y12W(x))));
    Cgdi(x)=-1/(w(x)*(1/imag(Y12W(x))));
    Cdsi(x)=imag(Y22W(x)+Y12W(x))/w(x);
    Rdr(x)=-1/real(Y12W(x));
    Rgsi(x)=real(1/(Y11W(x)+Y12W(x)));
    taui(x)=(1/w(x))*atan(imag(Y21W(x)-
Y12W(x)/(1+i*w(x)*Rgsi(x)*Cgsi(x)))/real(Y21W(x)-
Y12W(x)/(1+i*w(x)*Rgsi(x)*Cgsi(x))));
end

save Cgswm.txt Cgsi -ascii;
save Cgdwm.txt Cgdi -ascii;
save Cdswm.txt Cdsi -ascii;
```

C.3 Archivos para la extracción de los elementos de acceso

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% MEDIDAS EN cold-FET: Construcción de Ya %
%-----%
% Modelo de elementos de acceso, Ya %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

clear all;
clc;
format long g

[frec,realS11,imagS11,realS21,imagS21,realS12,imagS12,realS22,imagS22]=
textread('fichero.txt','%f%f%f%f%f%f%f%f');
w=2*pi.*frec; %[rad]
Z0=50; %[ohms]
Y0=1/Z0; %[1/ohms]

% Definición de la matriz Sa
%-----
for x=1:length(frec),
    Sa11(x)=realS11(x)+i*imagS11(x);
    Sa12(x)=realS12(x)+i*imagS12(x);
    Sa21(x)=realS21(x)+i*imagS21(x);
    Sa22(x)=realS22(x)+i*imagS22(x);
end;

Sa=[Sa11(1:length(frec)),Sa12(1:length(frec));Sa21(1:length(frec)),Sa22
(1:length(frec))];

% Conversión de parámetros Sa a Ya
%-----
sum=(1+Sa11).*(1+Sa22);
prod=Sa12.*Sa21;
sum1=sum-prod;
Ya11=((1-Sa11).*(1+Sa22)+prod)./(sum1);
Ya12=(-2*Sa12)./(sum1);
Ya21=(-2*Sa21)./(sum1);
Ya22=((1+Sa11).*(1-Sa22)+prod)./(sum1);

Ya=[Ya11(1:length(frec)),Ya12(1:length(frec));Ya21(1:length(frec)),Ya22(1:leng
th(frec))];

% Normalización
%-----
Ya11N=Y0*Ya11;
Ya12N=Y0*Ya12;
Ya21N=Y0*Ya21;
Ya22N=Y0*Ya22;

YaN=[Ya11N(1:length(frec)),Ya12N(1:length(frec));Ya21N(1:length(frec)),Ya22N(1
:length(frec))];

% Definición de capacidades de acceso
%-----
for x=1:length(frec)
    Cgsa(x)=imag((Ya11N(x)+Ya12N(x))/w(x));
    Cgda(x)=imag(-Ya12N(x)/w(x));
    Cdsa(x)=imag((Ya22N(x)+Ya12N(x))/w(x));
end

% Valores promedio
%-----
Cgsacc=mean(Cgsa)
Cgdacc=mean(Cgda)
Cdsacc=mean(Cdsa)

```



```

semilogx(frec,Cgsa,'b-')
title('Cgs de acceso');
xlabel('Frecuencia [Hz]');
ylabel('Cgsa [F]');
figure;
semilogx(frec,Cgda,'b-')
title('Cgd de acceso');
xlabel('Frecuencia [Hz]');
ylabel('Cgda [F]');
figure;
semilogx(frec,Cdsa,'b-')
title('Cds de acceso');
xlabel('Frecuencia [Hz]');
ylabel('Cdsa [F]');

% Construcción de la matriz Ya a partir del resultado
%-----
for x=1:length(frec)
    Yacc11N(x)=i*w(x)*(Cgdacc+Cgsacc);
    Yacc12N(x)=-i*w(x)*(Cgdacc);
    Yacc21N(x)=-i*w(x)*(Cgdacc);
    Yacc22N(x)=i*w(x)*(Cdsacc+Cgdacc);
end

save Yacc11N Yacc11N
save Yacc12N Yacc12N
save Yacc21N Yacc21N
save Yacc22N Yacc22N

```

C.4 Archivos para la extracción de las impedancias extrínsecas

```

%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% MEDIDAS EN cold-FET: Construcción de Yspi %
%-----%
% Modelo de Impedancia Extrínseca (PADS) %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

clear all;
clc;
format long g

[frec,realS11,imagS11,realS21,imagS21,realS12,imagS12,realS22,imagS22]=
textread('fichero.txt','%f%f%f%f%f%f%f%f');
w=2*pi.*frec; %[rad]
Z0=50; %[ohms]
Y0=1/Z0; %[1/ohms]

% Definición de la matriz Spad
%-----
for x=1:length(frec),
    S11pad(x)=realS11(x)+i*imagS11(x);
    S12pad(x)=realS12(x)+i*imagS12(x);
    S21pad(x)=realS21(x)+i*imagS21(x);
    S22pad(x)=realS22(x)+i*imagS22(x);
end;

Spad=[S11pad(1:length(frec)),S12pad(1:length(frec));S21pad(1:length(frec)),
S22pad(1:length(frec))];

```

```
% Conversión de parámetros Spad a Zpad
%-----
sum=(1-S11pad).*(1-S22pad);
prod=S12pad.*S21pad;
sum1=sum-prod;
Z11pad=((1+S11pad).*(1-S22pad)+prod)./(sum1);
Z12pad=((2*S12pad)./(sum1));
Z21pad=((2*S21pad)./(sum1));
Z22pad=((1-S11pad).*(1+S22pad)+prod)./(sum1);

Zpad=[Z11pad(1:length(frec)),Z12pad(1:length(frec));Z21pad(1:length(frec)),
Z22pad(1:length(frec))];

%Zpad Normalizada
%-----
Z11padN=Z0*Z11pad;
Z12padN=Z0*Z12pad;
Z21padN=Z0*Z21pad;
Z22padN=Z0*Z22pad;

ZpadN=[Z11padN(1:length(frec)),Z12padN(1:length(frec));Z21padN(1:length(frec)),
,Z22padN(1:length(frec))];

% Construcción de Ypi:
%-----
for x=1:length(frec),
    Ypi11(x)=i*w(x)*(Cgsext+Cgdext);
    Ypi12(x)=-i*w(x)*(Cgdext);
    Ypi21(x)=-i*w(x)*(Cgdext);
    Ypi22(x)=i*w(x)*(Cdsext+Cgdext);
end;

Ypi=[Ypi11(1:length(frec)),Ypi12(1:length(frec));Ypi21(1:length(frec)),Ypi22(1:
length(frec))];

%Ypi Normalizada
%-----
Ypi11N=Y0*Ypi11;
Ypi12N=Y0*Ypi12;
Ypi21N=Y0*Ypi21;
Ypi22N=Y0*Ypi22;

YpiN=[Ypi11N(1:length(frec)),Ypi12N(1:length(frec));Ypi21N(1:length(frec)),Ypi
22N(1:length(frec))];

% Conversión de parámetros Ypi a Zpi
%-----
moduloY=((Ypi11).*(Ypi22))-((Ypi12).*(Ypi21));
Zpi11=Ypi22./(moduloY);
Zpi12=-Ypi12./(moduloY);
Zpi21=-Ypi21./(moduloY);
Zpi22=Ypi11./(moduloY);

Zpi=[Zpi11(1:length(frec)),Zpi12(1:length(frec));Zpi21(1:length(frec)),Zpi22(1:
length(frec))];

%Zpi Normalizada
%-----
Zpi11N=Z0*Zpi11;
Zpi12N=Z0*Zpi12;
Zpi21N=Z0*Zpi21;
Zpi22N=Z0*Zpi22;

ZpiN=[Zpi11N(1:length(frec)),Zpi12N(1:length(frec));Zpi21N(1:length(frec)),Zpi
22N(1:length(frec))];
```

```
load Yacc11N;
load Yacc12N;
load Yacc21N;
load Yacc22N;

% Conversión de parámetros YaN a ZaN
%-----
moduloYa=((Yacc11N).*(Yacc22N))-((Yacc12N).*(Yacc21N));
Za11N=Yacc22N./(moduloYa);
Za12N=-Yacc12N./(moduloYa);
Za21N=-Yacc21N./(moduloYa);
Za22N=Yacc11N./(moduloYa);

ZaN=[Za11N(1:length(frec)),Za12N(1:length(frec));Za21N(1:length(frec)),Za22N(1:
length(frec))];

Zsigma11=Z11padN-Zpi11N-Za11N;
Zsigma12=Z12padN-Zpi12N-Za12N;
Zsigma21=Z21padN-Zpi21N-Za21N;
Zsigma22=Z22padN-Zpi22N-Za22N;

Zsigma=[Zsigma11(1:length(frec)),Zsigma12(1:length(frec));Zsigma21(1:length(fr
ec)),Zsigma22(1:length(frec))];

% Definición de las expresiones
%-----
for x=1:length(frec),
    Rse(x)=real(Zsigma12(x));
    Rge(x)=real(Zsigma11(x)-Zsigma12(x));
    Rde(x)=real(Zsigma22(x)-Zsigma12(x));
    w2(x)=w(x)^2;
    wimZ11(x)=w(x)*imag(Zsigma11(x));
    wimZ12(x)=w(x)*imag(Zsigma12(x));
    wimZ21(x)=w(x)*imag(Zsigma21(x));
    wimZ22(x)=w(x)*imag(Zsigma22(x));
    wLs(x)=wimZ12(x);
    wLd(x)=wimZ22(x)-wimZ12(x);
    wLg(x)=wimZ11(x)-wimZ12(x);
end

% Valores promedio
%-----
Rs=mean(Rse)
Rg=mean(Rge)
Rd=mean(Rde)

semilogx(w2,wLs,'b-')
title('Inductancia de fuente');
xlabel('w^2 [Hz^2]');
ylabel('w(imag(Zsij))');
figure;
semilogx(w2,wLd,'b-')
title('Inductancia de drenador');
xlabel('w^2 [Hz^2]');
ylabel('w(imag(Zsij))');
figure;
semilogx(w2,wLg,'b-')
title('Inductancia de puerta');
xlabel('w^2 [Hz^2]');
ylabel('w(imag(Zsij))');
```

```
% Construcción de la matriz Ysigmap i a partir del resultado
%-----
for x=1:length(frec)
    Zs11(x)=Rg+Rs+i*w(x)*(Lg+Ls);
    Zs12(x)=Rs+i*w(x)*(Ls);
    Zs21(x)=Rs+i*w(x)*(Ls);
    Zs22(x)=Rd+Rs+i*w(x)*(Ld+Ls);
end

Zs=[Zs11(1:length(frec)),Zs12(1:length(frec));Zs21(1:length(frec)),Zs22(1:length(frec))];

Zspi11=Zs11+Zpi11N;
Zspi12=Zs12+Zpi12N;
Zspi21=Zs21+Zpi21N;
Zspi22=Zs11+Zpi22N;

Zspi=[Zspi11(1:length(frec)),Zspi12(1:length(frec));Zspi21(1:length(frec)),Zspi22(1:length(frec))];

% Obtención de Yspi (Conversión Zspi -> Yspi, normalizada)
%-----
moduloZ=((Zspi11).*(Zspi22))-((Zspi12).*(Zspi21));
Yspi11=Zspi22./(moduloZ);
Yspi12=-Zspi12./(moduloZ);
Yspi21=-Zspi21./(moduloZ);
Yspi22=Zspi11./(moduloZ);

Yspi=[Yspi11(1:length(frec)),Yspi12(1:length(frec));Yspi21(1:length(frec)),Yspi22(1:length(frec))];

save Yspi11 Yspi11
save Yspi12 Yspi12
save Yspi21 Yspi21
save Yspi22 Yspi22
```

C.5 Archivos para la extracción de los componentes intrínsecos

```
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% MEDIDAS EN SATURACIÓN: Construcción de Yint %
%-----%
% Modelo de parámetros intrínsecos, Yint %
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%

clear all;
clc;
format long g

[frec,realS11,imagS11,realS21,imagS21,realS12,imagS12,realS22,imagS22]=
textread('archivo.txt','%f%f%f%f%f%f%f%f');

w=2*pi.*frec; %[rad]
Z0=50; %[ohms]
Y0=1/Z0; %[1/ohms]
```

```
% Definición de la matriz S
%-----
for x=1:length(frec),
    S11(x)=realS11(x)+i*imagS11(x);
    S12(x)=realS12(x)+i*imagS12(x);
    S21(x)=realS21(x)+i*imagS21(x);
    S22(x)=realS22(x)+i*imagS22(x);
end;

S=[S11(1:length(frec)),S12(1:length(frec));S21(1:length(frec)),S22
(1:length(frec))];

% Conversión de parámetros S a Y
%-----
sum=(1+S11).*(1+S22);
prod=S12.*S21;
sum1=sum-prod;
Y11=((1-S11).*(1+S22)+prod)./(sum1);
Y12=(-2*S12)./(sum1);
Y21=(-2*S21)./(sum1);
Y22=((1+S11).*(1-S22)+prod)./(sum1);

Y=[Y11(1:length(frec)),Y12(1:length(frec));Y21(1:length(frec)),Y22
(1:length(frec))];

% Normalización
%-----
Y11N=Y0*Y11;
Y12N=Y0*Y12;
Y21N=Y0*Y21;
Y22N=Y0*Y22;

YN=[Y11N(1:length(frec)),Y12N(1:length(frec));Y21N(1:length(frec)),Y22N
(1:length(frec))];

load Yspi11;
load Yspi12;
load Yspi21;
load Yspi22;

Yint11=Y11N-Yspi11;
Yint12=Y12N-Yspi12;
Yint21=Y21N-Yspi21;
Yint22=Y22N-Yspi22;

Yint=[Yint11(1:length(frec)),Yint12(1:length(frec));Yint21(1:length(frec)),
Yint22(1:length(frec))];

% Definición de los parámetros intrínsecos
%-----
for x=1:length(frec)
    gmi(x)=-abs((Y21(x)-Y12(x))/(Y11(x)+Y12(x)))*(1/imag(1/(Y11(x)+Y12(x)))));
    gdi(x)=real(Y22(x)+Y12(x));
    Cgsi(x)=1/(w(x)*(1/imag(Y11(x)+Y12(x))));
    Cgdi(x)=-1/(w(x)*(1/imag(Y12(x))));
    Cdsi(x)=imag(Y22(x)+Y12(x))/w(x);
    Rdr(x)=-1/real(Y12(x));
    Rgsi(x)=real(1/(Y11(x)+Y12(x)));
    tau1(x)=(1/w(x))*atan(imag(Y21(x)-
Y12(x))/(1+i*w(x)*Rgsi(x)*Cgsi(x)))/real(Y21(x)-
Y12(x))/(1+i*w(x)*Rgsi(x)*Cgsi(x)));
end
```

```
% Valores promedio
%-----
Gm=mean(gmi)
Gd=mean(gdi)
Cgs=mean(Cgsi)
Cgd=mean(Cgdi)
Cds=mean(Cdsi)
Rdrift=mean(Rdr)
Rgs=mean(Rgsi)
Tau=mean(tau)

gmi=gmi';
gdi=gdi';
cgsi=Cgsi';
cgdi=Cgdi';
cdsi=Cdsi';
rgs=Rgsi';
rdrift=Rdr';
tau=tau';

% Construcción de la matriz Yint a partir del resultado
%-----
for x=1:length(frec)
    intrinsec11(x)=i*w(x)*((Cgs)/(1+i*w(x)*(Rgs*Cgs)))-
    ((Cgd)/(1+i*w(x)*(Rdrift*Cgd)));
    intrinsec12(x)=i*w(x)*((Cgd)/(1+i*w(x)*(Rdrift*Cgd)));
    intrinsec21(x)=((Gm)*exp(i*w(x)*(Tau))/(1+i*w(x)*(Rgs*Cgs)))-
    intrinsec12(x);
    intrinsec22(x)=Gd-i*w(x)*(Cds+((Cgd)/(1+i*w(x)*(Rdrift*Cgd))));
end

intrinsec=[intrinsec11(1:length(frec)),intrinsec12(1:length(frec));intrinsec21
(1:length(frec)),intrinsec22(1:length(frec))];

save intrinsec11 intrinsec11
save intrinsec12 intrinsec12
save intrinsec21 intrinsec21
save intrinsec22 intrinsec22
```

C.6 Referencias

- [1] Pratap R, *Getting Started with MATLAB*, Oxford University Press, Version 6, 2002
- [2] *RF Toolbox for use with MATLAB*, User's Guide, The MathWorks, 2005
- [3] Pozar DM, *Microwave Engineering*, Ed. John Wiley & Sons, INC. 1998

Apéndice D

Planificación temporal

D.1 Planificación MS Project

Id	Nombre de tarea	Duración	Comienzo	Fin	Predecesoras
1	Recopilación de información	168 días	lun 12/06/06	mié 31/01/07	
2	Repaso conceptos teóricos	18 días	lun 12/06/06	mié 05/07/06	
3	Estudio modelos de pequeña señal	20 días	jue 01/02/07	mié 28/02/07	
4	Modelo de pequeña señal MOSFET	20 días	jue 01/02/07	mié 28/02/07	
5	Modelo de pequeña señal LDMOS	20 días	jue 01/02/07	mié 28/02/07	
6	Caracterización de componentes	20 días	jue 01/02/07	mié 28/02/07	
7	Estudio medidas RF sobre oblea	42 días	jue 01/02/07	vie 30/03/07	3
8	Desarrollo software caracterización modelos	22 días	jue 01/03/07	vie 30/03/07	4
9	Simulación modelos LDMOS	42 días	jue 01/03/07	vie 27/04/07	3
10	Redacción memoria	39 días	lun 23/04/07	jue 14/06/07	
11	Medidas LDMOS sobre oblea	1 día	mar 08/05/07	mar 08/05/07	9
12	Comprobación resultados medida	3 días	mié 09/05/07	vie 11/05/07	8;11
13	Validación modelo simulado vs medido	14 días	lun 14/05/07	jue 31/05/07	12

Fechas

Comienzo:	lun 12/06/06	Fin:	jue 14/06/07
Comienzo previsto:	NA	Fin previsto:	NA
Comienzo real:	lun 12/06/06	Fin real:	jue 14/06/07
Variación de comienzo:	0 días	Variación de fin:	0 días

Duración

Programada:	264 días	Restante:	0 días
Prevista:	0 días?	Real:	264 días
Variación:	264 días	Porcentaje completado:	100%

Trabajo

Programado:	6.176 horas	Restante:	0 horas
Previsto:	0 horas	Real:	6.176 horas
Variación:	6.176 horas	Porcentaje completado:	100%

Costos

Programados:	0,00 €	Restantes:	0,00 €
Previstos:	0,00 €	Reales:	0,00 €
Variación:	0,00 €		

Estado de las tareas

Tareas aún no comenzadas:	0
Tareas en curso:	0
Tareas finalizadas:	13
Total de tareas:	13

Estado de los recursos

Recursos de trabajo:	8
Recursos de trabajo sobreasignados:	0
Recursos materiales:	0
Total de recursos:	8

Id	Nombre de tarea	Duración	Comienzo
junio 2006			
1	Recopilación de Información	168 días	lun 12/06/06
2	Repaso conceptos teóricos	18 días	lun 12/06/06
julio 2006			
1	Recopilación de Información	168 días	lun 12/06/06
2	Repaso conceptos teóricos	18 días	lun 12/06/06
agosto 2006			
1	Recopilación de Información	168 días	lun 12/06/06
septiembre 2006			
1	Recopilación de Información	168 días	lun 12/06/06
octubre 2006			
1	Recopilación de Información	168 días	lun 12/06/06
noviembre 2006			
1	Recopilación de Información	168 días	lun 12/06/06
diciembre 2006			
1	Recopilación de Información	168 días	lun 12/06/06
enero 2007			
1	Recopilación de Información	168 días	lun 12/06/06
febrero 2007			
4	Modelo de pequeña señal MOSFET	20 días	jue 01/02/07
5	Modelo de pequeña señal LDMOS	20 días	jue 01/02/07
6	Caracterización de componentes	20 días	jue 01/02/07
7	Estudio medidas RF sobre oblea	42 días	jue 01/02/07
marzo 2007			
7	Estudio medidas RF sobre oblea	42 días	jue 01/02/07
8	Desarrollo software caracterización m	22 días	jue 01/03/07
9	Simulación modelos LDMOS	42 días	jue 01/03/07
abril 2007			
9	Simulación modelos LDMOS	42 días	jue 01/03/07
10	Redacción memoria	39 días	lun 23/04/07
mayo 2007			
10	Redacción memoria	39 días	lun 23/04/07
11	Medidas LDMOS sobre oblea	1 día	mar 08/05/07
12	Comprobación resultados medida	3 días	mié 09/05/07
13	Validación modelo simulado vs medid	14 días	lun 14/05/07
junio 2007			
10	Redacción memoria	39 días	lun 23/04/07

